

(19)日本国特許庁 (J P)

(12) 公開特許公報(A)

(11)特許出願公開番号  
特開2003-257175  
(P2003-257175A)

(43)公開日 平成15年9月12日(2003.9.12)

(51) Int.Cl.<sup>7</sup>  
G 1 1 C 11/15

識別記号  
130  
120  
140

F I  
G 1 1 C 11/15

テマコト(参考)  
5F083

H 01 L 43/08  
27/10

447

審査請求 有 請求項の数29 O.L (全 45 頁)

(21) 出願番号  
(22) 出願日  
(31) 優先権主張番号  
(32) 優先日  
(33) 優先権主張国

特顯2002-156184(P2002-156184)

(22)出願日 平成14年5月29日(2002.5.29)

(31) 优先权主張番号 特願2001-399317(P2001-399317)

(32) 優先日 平成13年12月28日(2001. 12. 28)

(33) 優先權主張國 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 本田 雄士

東京都港区芝五丁目7番1号 日本電気株式会社内

(72) 発明者 崎村 昇

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100086759

弁理士 渡辺 喜平

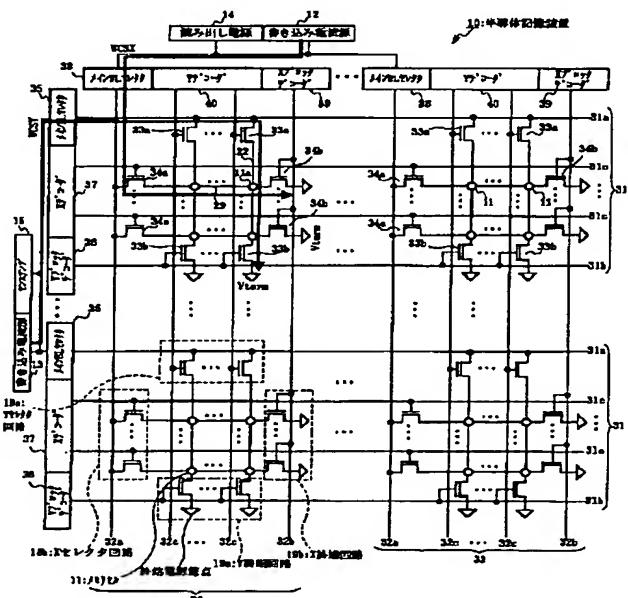
最終頁に統ぐ

(54) 【発明の名称】 トンネル磁気抵抗素子を利用した半導体記憶装置

(57) 【要約】

**【課題】** メモリセルの書き込み時の書き込み電流を正確に出力できるように、そして書き込みマージン及び読み出しマージンの温度依存性を排除するようにした、メモリセルとしてTMR素子を使用した半導体記憶装置を提供する。

【解決手段】 ビット線22またはワード線29に直交するようにメインビット線31またはメインワード線32を配置して、メインビット線またはワードビット線を選択するためのメモリセルアレイ16の外側にメインビット線セレクタ35またはメインワード線セレクタ38をメモリセルアレイの外側に配置するように、半導体記憶装置10を構成する。



## 【特許請求の範囲】

【請求項1】 階層マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、

選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、

書込電流源からの書込電流を各ビット線に供給するためのメインビット線が、各ビット線に対して直交するように配置されていることを特徴とする半導体記憶装置。

【請求項2】 メインビット線を選択するためのメインビット線セレクタが、上記メモリセルアレイの上記Xデコーダと同じ側の外側に配置されていることを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 階層マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、

選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、

書込電流源からの書込電流を各ワード線に供給するためのメインワード線が、各ワード線に対して直交するように配置されていることを特徴とする半導体記憶装置。

【請求項4】 メインワード線を選択するためのメインワード線セレクタが、上記メモリセルアレイの上記Yデコーダと同じ側の外側に配置されていることを特徴とする請求項3に記載の半導体記憶装置。

【請求項5】 マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、

選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置

であって、

書込電流源からの書込電流を、その電流の方向によって独立的に変更し、変更値を固定するための第一の回路を備えていることを特徴とする半導体記憶装置。

【請求項6】 少なくとも一つのトンネル磁気抵抗素子を利用した半導体記憶装置であって、

少なくとも一部のトンネル磁気抵抗素子が、二個以上で一つの第一の記憶素子を構成していて、

この第一の記憶素子が、読出時にはトンネル磁気抵抗素子が互いに直列に接続され、その中間の節点を出力すると共に、

この第一の記憶素子の少なくとも一部が、半導体記憶装置の不良箇所の記憶場所として使用されることを特徴とする半導体記憶装置。

【請求項7】 上記第一の回路内にて、値を固定する機能を有するレジスタ回路が、上記第一の記憶素子を含んでおり、

この第一の記憶素子の出力が、CMOS回路に直接に入力されていることを特徴とする請求項5に記載の半導体記憶装置。

【請求項8】 上記第一の回路が、ビット線またはワード線の書込電流値を、選択メモリセルのアドレスに依存して切換えることができる特徴とする、請求項1～4のいずれかの構成を有する請求項5に記載の半導体記憶装置。

【請求項9】 書込電流を終端する終端電源が、電源回路を停止させるテストモードを備えており、

この電源節点を外部に引き出すための外部端子を備えていることを特徴とする請求項5に記載の半導体記憶装置。

【請求項10】 書込電流源が、出力トランジスタとして基本部分のトランジスタおよび調整部分トランジスタを備えており、これら出力トランジスタのゲート長が、基本部分のトランジスタでは最小値であるが、調整部分のトランジスタでは最小値より大きいことを特徴とする請求項5に記載の半導体記憶装置。

【請求項11】 メインビット線が相補に構成されており、一方のメインビット線が書込電流源に接続され、他方のメインビット線が終端に固定されることにより、選択されたメモリセルの「0」または「1」が区別して書き込まれることを特徴とする請求項1～4のいずれかに記載の半導体記憶装置。

【請求項12】 読出時には、双方のメインビット線を使用して、選択されたメモリセルをセンスアンプに接続することを特徴とする請求項11に記載の半導体記憶装置。

【請求項13】 非選択のビット線の電位を固定する回路として、ビット線の選択のためのセレクタとは別の専用の回路手段を備えていることを特徴とする請求項11に記載の半導体記憶装置。

【請求項14】 書込時の終端電源用の電源線が、半導体記憶装置を構成するチップ内にて、他の電源線とは分けられていることを特徴とする請求項11に記載の半導体記憶装置。

【請求項15】 階層マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流すようにサブアレイに形成された複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流すようにサブアレイに形成された複数本のワード線と、を備えており、選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、サブアレイの非選択のワード線またはビット線の一方のみがスイッチング素子を介して電位が固定されており、他方がメモリセルを介して電位が固定されていることを特徴とする半導体記憶装置。

【請求項16】 メインワード線が相補に構成されており、一方のメインワード線が書込電流源に接続され、他方のメインワード線が終端に固定されることにより、書込電流の向きを変化させることを特徴とする請求項1～4または15のいずれかに記載の半導体記憶装置。

【請求項17】 読出時には、双方のメインビット線を使用して、選択されたメモリセルをセンスアンプに接続することを特徴とする請求項11に記載の半導体記憶装置。

【請求項18】 メインビット線として、書込用メインビット線と読出用メインビット線が互いに別個に設けられることを特徴とする請求項1～4または15のいずれかに記載の半導体記憶装置。

【請求項19】 サブアレイに設けられた選択スイッチング素子が、XデコーダまたはYデコーダの出力とプロック選択信号の論理和演算機能を備えていることを特徴とする請求項1～4または15に記載の半導体記憶装置。

【請求項20】 ブロック選択信号が、書込または読出を含む動作モードの情報を含んでいることを特徴とする請求項19に記載の半導体記憶装置。

【請求項21】 マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、

選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、

選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、

書込電流源の出力電流の温度依存性が、選択メモリセルの磁化反転特性の温度依存性と非選択メモリセルの磁化反転特性の間の値として設定されることを特徴とする半導体記憶装置。

【請求項22】 書込電流源回路の出力電流の温度依存性が、基準電位回路の電圧により生成されると共に、上記基準電位回路の一部が、バンドギャップリファレンス回路であることを特徴とする請求項21に記載の半導体記憶装置。

【請求項23】 上記基準電位回路が、抵抗素子としてトンネル磁気抵抗素子を使用していることを特徴とする請求項22に記載の半導体記憶装置。

【請求項24】 マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、

選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、

読出回路の出力電圧の温度依存性が、メモリセルのトンネル磁気抵抗素子の温度依存性に合わせ込んで設定されることを特徴とする半導体記憶装置。

【請求項25】 読出回路の出力電圧の温度依存性が、基準電位回路の電圧により生成されると共に、上記基準電位回路の一部が、バンドギャップリファレンス回路であることを特徴とする請求項24に記載の半導体記憶装置。

【請求項26】 上記バンドギャップリファレンス回路が、抵抗素子としてトンネル磁気抵抗素子を使用していることを特徴とする請求項25に記載の半導体記憶装置。

【請求項27】 半導体記憶装置が、MRAMであつて、読出時のメモリセル電流が $10\mu A$ 程度であることを特徴とする請求項24～26のいずれかに記載の半導体記憶装置。

【請求項28】 温度依存性の設定を行なう温度補償回路が、サブスレッショルド電流を用いることを特徴とする請求項21～27のいずれかに記載の半導体記憶装置。

【請求項29】 温度依存性の設定を行なう温度補償回路が、出力電流の温度依存性を調整し得るトリング回

路を有していることを特徴とする請求項21～28のいずれかに記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリセルとして、トンネル磁気抵抗素子（以下、TMR素子という）や巨大磁気抵抗素子（以下、GMR素子という）を含む磁性体を利用したMRAM等の半導体記憶装置に関する。

【0002】

【従来の技術】従来、TMR素子900は、例えば図52に示すように構成されている。図52において、TMR素子900は、ダイオード901の上に、順次にピン層902、トンネル絶縁層903およびフリー層904を積層することにより、構成されており、ダイオード901に直列に接続されている。上記ピン層902は、磁性体から構成されており、その磁化の向きが製造時に固定されている。

【0003】これに対して、フリー層904は、同様に磁性体（例えばNiFe）から構成されており、ダイオード901に接続されたビット線905とフリー層904に接続されたワード線906によりTMR素子900を上下に通過する電流により反転されるようになっており、その磁化の向きによって「1」（図52（a））または「0」（図52（b））が割り当てられている。ここで、磁性体として、斜め後ろ方向に磁場をかけたときに磁化が反転しやすい性質を有する材料および形状が採用されている。

【0004】このような構成のTMR素子をメモリセルとして使用する半導体記憶装置は、例えば図53に示すように、構成されている。図53において、半導体記憶装置910は、複数個のメモリセル911がマトリックス状に配置されており、各メモリセル911の下方にて、縦方向に平行に延びる複数本のビット線（BL）912と、各メモリセル911の上方にて、横方向に平行に延びる複数本のワード線（WL）913と、X側書込電流源回路914と、Xセレクタ914aと、Y側書込電流源回路915と、Yセレクタ915aと、終端電源回路916と、X終端回路916aと、Y終端回路916bと、から構成されている。

【0005】各メモリセル911は、上述したTMR素子900により構成されており、それぞれ対応するビット線912とワード線913により電流が流されて、フリー層904の磁化の向きが反転され得るようになっている。

【0006】このような構成の半導体記憶装置910によれば、一つのメモリセル911を選択して、当該メモリセル911に対応するビット線912およびワード線913の間に電流を流すことにより、当該メモリセル911のみに電流を流して、その磁化の向きを反転させ

て、「0」または「1」のデータ書き込みを行なうことができるようになっている。

【0007】このデータ書き込み動作の原理を図54を参照して説明する。TMR素子900のフリー層904の磁化は、ある一定以上の磁場を受けると反転するが、その磁場の特性曲線は、アステロイドカーブと呼ばれている。そして、選択されたビット線912上や選択されたワード線913上のメモリセル911には、アステロイドカーブの内側に収まるような磁場（図54（b）および（c）参照）が形成されると共に、選択されたメモリセル911においては、図54（a）に示すように、合成磁場がアステロイドカーブの外側になるような電流が設定される。

【0008】次に、このデータ読出動作の原理を図55を参照して説明する。各TMR素子900は、「0」と「1」で抵抗値が変化する可変抵抗と等価であるので、ダイオード901が直列に接続されていることから、半導体記憶装置910は、図55に示す等価回路で表わされることになる。したがって、非選択のビット線912と選択されたワード線913は、1.2Vの電圧が印加され、また非選択のワード線913は、0Vが印加されるので、選択されたメモリセル911のみに電流が流れることになる。そして、電流値センスアンプ917が、ダイオード901のしきい値0.7Vに対してTMR素子900のピン層902およびフリー層904間に0.3V程度の電圧がかかるように電流を引き込みながら、この電流値を測定し、前もって設定されたリファレンス電流より大きければ「0」、小さければ「1」と判定する。

【0009】これに対して、ダイオード901の代わりに、トランジスタを使用した半導体記憶装置も、例えばUSP6191989号などで知られており、また、ダイオードとトランジスタのいずれをも使用しない半導体記憶装置も、例えばUSP6188615号などで知られている。これらは、何れも読出時の動作は異なるものの、書き時の動作は、上述したダイオードを使用した半導体記憶装置910の場合と同様に行なわれる。

【0010】他方、従来、MRAMセルは、例えば図6に示すように構成されている。図6において、MRAMセル950は、トンネル絶縁層951を複数の強磁性体、すなわち固定強磁性層952及び自由強磁性層953により挟持するように構成されている。ここで、固定強磁性層952は、保磁力の大きな材料から成り、または反強磁性体と磁気的に結合させる等により、磁化を一方向に固定するように構成されている。また、自由強磁性層953は、外部磁場等の作用により磁化反転が可能であるように構成されている。

【0011】このような構成により、MRAMセル950は、固定強磁性層952と自由強磁性層953の磁化が平行または反平行の場合に安定であって、それぞれ

「0」(図56(a)) 「1」(図56(b)) の情報を記憶する。ここで、「0」すなわち平行の状態では、トンネル電流が大きく、また「1」すなわち反平行の状態では、トンネル電流が小さい。従って、トンネル電流の電流値の差を検出することにより、MRAMセル950に記憶された「0」または「1」の情報を読み出すことができる。このような構成のMRAMセルによるメモリセルアレイを備えた半導体記憶装置を構成した場合、前述した半導体記憶装置910と同様にして、各メモリセルとしてのMRAMセルに対する書き込み及び読出を行うことができる。

#### 【0012】

【発明が解決しようとする課題】ところで、上述した半導体記憶装置910においては、図57に示すように、ビット線912およびワード線913を流れる直交電流が形成する磁場によって、各メモリセル911に対するデータ書き込みが行なわれるようになっているが、この書き込み電流が小さ過ぎると、データ書き込みが行なわれ得なくなってしまう。また、書き込み電流が大き過ぎると、選択されたメモリセル911だけでなく、同一ビット線912または同一ワード線913に接続された隣接するメモリセル911にもデータ書き込みが行なわれることがある。このため、データ書き込み時のビット線912およびワード線913を流れる電流値を正確に設定する必要があった。

【0013】他方、上述したアステロイドカーブは、磁性体の膜厚に依存するが、この膜厚は、製造時の半導体ウェハ面内で分布を有することから、メモリセル毎に異なることになる。また、書き込み電流源回路914、915の特性もチップ毎にバラツキがあり、このバラツキを完全に排除することは不可能であった。このような磁性体の膜厚および書き込み電流源回路の特性のバラツキは、半導体記憶装置910の各メモリセル911の書き込みマージンを低下させてしまうと共に、歩留まりを低下させてしまう。

【0014】また、上述したアステロイドカーブは、温度依存性を有しており、一般に高温になると、反転磁場(最小書き込み電流)が小さくなってしまう。図58は、大きさ $1\mu\text{m} \times 2\mu\text{m}$ 、厚さ5nmのパーマロイの25°C、75°C及び125°Cにおける磁化反転曲線の測定結果を示しており、温度上昇に伴って、磁性膜の反転電流は、約2%/10°C程度で減少していることが分かる。一般に、半導体デバイスの動作保証温度は、75°C程度以下であるが、図58において75°Cでの書き込み電流は、約10%低下してしまう。従って、室温(25°C)での書き込み電流をそのまま高温時に利用すると、非選択メモリセルにおいてディスターブが発生することになる。その際、書き込み電流源回路の電流駆動能力自体も温度上昇に伴って低下するので、書き込み電流は僅かに減少するが、反転電流の減少に追従するまでは減少しない。このような高温化による反転電流の減少は、メモリセルの微細化と共に

10

20

30

40

50

に顕著になり、書き込みマージンが大きく減少することになる。

【0015】他方、読み出についても、高温化による読み出しへの低下が知られている。TMR素子は、一般に、抵抗RおよびコンダクタクスGが、それぞれ図59(A)に示すように電圧依存性を有すると共に、図59(B)に示すように温度依存性を有することが知られている。従って、図59(C)に示すように、MR比および電流差も温度依存性を有することになるので、温度上昇に伴って読み出しへのマージンが低下してしまう。また、例えばMRAMにおける読み出しへは、磁性体間のトンネル電流であるので、温度上昇に伴って、磁性膜の磁化が減少すると共に、熱励起によってトンネル確率が増加することによって、トンネル電流は増大し、磁気抵抗比が急激に減少して、読み出しへのマージンが低下する。このような読み出しへのマージンの低下は、同様にして、メモリセルの微細化により、より温度依存性が大きくなってしまう。

【0016】本発明は、上記の問題を解決すべくなされたものであり、書き込み電流値のマージンが少ないのであっても、必要かつ十分な書き込み電流を正確に出力できるようにし、また温度変化による書き込みマージンおよび読み出しへのマージンの変化を少なくした半導体記憶装置特にMRAMの提供を目的とする。

#### 【0017】

【課題を解決するための手段】この目的を達成するため、本発明の請求項1記載の半導体記憶装置は、階層マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書き込みを行うようにした半導体記憶装置であって、書き込み電流源からの書き込み電流を各ビット線に供給するためのメインビット線が、各ビット線に対して直交するように配置されている構成としてある。

【0018】半導体記憶装置をこのような構成とすると、メインビット線セレクタをメモリセルアレイの間に設ける必要がなくなるので、メインビット線セレクタを構成するトランジスタの大きさを、半導体記憶装置を構成するチップの大きさに殆ど影響を与えることなく、十分大きくすることができる。したがって、メインビット線セレクタを通る書き込み電流値を十分大きくすることができるので、安定した書き込み電流により所望のメモリセルに対して正確に書き込みを行うことができる。

【0019】請求項2記載の半導体記憶装置は、メインビット線を選択するためのメインビット線セレクタが、

上記メモリセルアレイの上記Xデコーダと同じ側の外側に配置されている構成としてある。半導体記憶装置をこのような構成とすると、半導体記憶装置を構成するチップの面積を大きくすることなく、安定した書込電流を流すことが可能になる。

【0020】請求項3記載の半導体記憶装置は、階層マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、書込電流源からの書込電流を各ワード線に供給するためのメインワード線が、各ワード線に対して直交するように配置されている構成としてある。半導体記憶装置をこのような構成とすると、メインワード線セレクタをメモリセルアレイの間に設ける必要がなくなるので、メインワード線セレクタを構成するトランジスタの大きさを、半導体記憶装置を構成するチップの大きさに殆ど影響を与えることなく、十分大きくすることができる。したがって、メインワード線セレクタを通る書込電流値を十分大きくすることができるので、安定した書込電流により所望のメモリセルに対して正確に書込を行なうことができる。

【0021】請求項4記載の半導体記憶装置は、メインワード線を選択するためのメインワード線セレクタが、上記メモリセルアレイの上記Yデコーダと同じ側の外側に配置されている構成としてある。半導体記憶装置をこの構成とすると、半導体記憶装置を構成するチップの面積を大きくすることなく、安定した書込電流を流すことが可能になる。

【0022】請求項5記載の半導体記憶装置は、マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、書込電流源からの書込電流を、その電流の方向によって独立的に変更し、変更値を固定するための第一の回路を備えている構成としてある。半導体記憶装置をこの構成とすると、第一の回路により、各メモリセルに対して

最適な書込電流を設定することが可能となり、書込電流が大き過ぎたり小さ過ぎることがなく、比較的大きな動作マージンにて正確にデータの書込を行なうことができる。

【0023】請求項6記載の半導体記憶装置は、少なくとも一つのトンネル磁気抵抗素子を利用した半導体記憶装置であって、少なくとも一部のトンネル磁気抵抗素子が、二個以上で一つの第一の記憶素子を構成していて、この第一の記憶素子が、読出時にはトンネル磁気抵抗素子が互いに直列に接続され、その中間の節点を出力すると共に、この第一の記憶素子の少なくとも一部が、半導体記憶装置の不良箇所の記憶場所として使用される構成としてある。半導体記憶装置をこの構成とすると、このような二個以上のトンネル磁気抵抗素子から構成される第一の記憶素子は、センサアンプを必要としないので、各種設定値等の保存のために使用しても、半導体記憶装置を構成するチップの面積の増加が少なくて済むことになると共に、第一の記憶素子の少なくとも一部を例えれば不良メモリセルのアドレスを保存するために使用することができる。

【0024】請求項7記載の半導体記憶装置は、上記第一の回路内にて、値を固定する機能を有するレジスタ回路が、上記第一の記憶素子を含んでおり、この第一の記憶素子の出力が、CMOS回路に直接に入力されている構成としてある。半導体記憶装置をこの構成とすると、第一の回路が小さい面積で構成され得ることになる。

【0025】請求項8記載の半導体記憶装置は、上記第一の回路が、ビット線またはワード線の書込電流値を、選択メモリセルのアドレスに依存して切換えることができる構成としてある。半導体記憶装置をこの構成とすると、書込電流が、書込すべきメモリセルのアドレスによって、大き過ぎたり小さ過ぎたりするようなことがなく、動作マージン内の書込電流により、メモリセルに対して正確なデータ書込を行なうことができる。

【0026】請求項9記載の半導体記憶装置は、書込電流を終端する終端電源が、電源回路を停止させるテストモードを備えており、この電源節点を外部に引き出すための外部端子を備えている構成としてある。半導体記憶装置をこの構成とすると、書込電流を正確に測定することができるので、第一の回路をより一層正確に調整することができる。

【0027】請求項10記載の半導体記憶装置は、書込電流源が、出力トランジスタとして基本部分のトランジスタおよび調整部分トランジスタを備えており、これら出力トランジスタのゲート長が、基本部分のトランジスタでは最小値であるが、調整部分のトランジスタでは最小値より大きい構成としてある。半導体記憶装置をこの構成とすると、書込電流源の占有面積を増大させることなく、正確な書込電流を出力することができる。

11

【0028】請求項11記載の半導体記憶装置は、メインビット線が相補に構成されており、一方のメインビット線が書込電流源に接続され、他方のメインビット線が終端に固定されることにより、選択されたメモリセルの「0」または「1」が区別して書込まれる構成としてある。半導体記憶装置をこのような構成とすると、ビット線側の書込電流源が簡略化され、第一の回路が小型に構成され得ることになる。

【0029】請求項12記載の半導体記憶装置は、読出時には、双方のメインビット線を使用して、選択されたメモリセルをセンスアンプに接続する構成としてある。半導体記憶装置をこのような構成とすると、読出時の動作マージンを増大させることができる。

【0030】請求項13記載の半導体記憶装置は、非選択のビット線の電位を固定する回路として、ビット線の選択のためのセレクタとは別の専用の回路手段を備えている構成としてある。半導体記憶装置をこのような構成とすると、セレクタの占有面積が増大することを防止することができる。

【0031】請求項14記載の半導体記憶装置は、書込時の終端電源用の電源線が、半導体記憶装置を構成するチップ内にて、他の電源線とは分けられている構成としてある。半導体記憶装置をこのような構成とすると、終端電源の電位が接地電位に正確に保持されることになり、第一の回路をより正確に調整することができる。

【0032】請求項15記載の半導体記憶装置は、階層マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流すようにサブアレイに形成された複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流すようにサブアレイに形成された複数本のワード線と、を備えており、選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、サブアレイの非選択のワード線またはビット線の一方のみがスイッチング素子を介して電位が固定されており、他方がメモリセルを介して電位が固定されている構成としてある。半導体記憶装置をこのような構成とすると、非選択のワード線またはビット線がスイッチング素子により駆動されず、メモリセルを介してビット線またはワード線に接続されることになり、そのビット線またはワード線が終端電源に接続されている。したがって、メモリセルの抵抗値が高いが、メモリセルの動作時間が遅くてもよい場合には、NORゲートおよびNANDゲート等を使用することなく、簡単な構成により、半導体記憶装置を構成するチップを小面積で構成することができる。

12

【0033】請求項16記載の半導体記憶装置は、メインワード線が相補に構成されており、一方のメインワード線が書込電流源に接続され、他方のメインワード線が終端に固定されることにより、書込電流の向きを変化させる構成としてある。半導体記憶装置をこのような構成とすると、ワード線側の書込電流源が簡略化され、第一の回路が小型に構成され得ることになる。

【0034】請求項17記載の半導体記憶装置は、読出時には、双方のメインビット線を使用して、選択されたメモリセルをセンスアンプに接続する構成としてある。半導体記憶装置をこのような構成とすると、読出時の動作マージンを増大させることができる。

【0035】請求項18記載の半導体記憶装置は、メインビット線として、書込用メインビット線と読出用メインビット線が互いに別個に設けられている構成としてある。半導体記憶装置をこのような構成とすると、読出用メインビット線をビット線に対して読出専用のスイッチング素子を介して接続することができるので、スイッチング素子として、書込電流を考慮せずに、ゲート幅の小さいトランジスタを使用することができる。これにより、トランジスタの寄生容量の影響を排除することができ、読出の高速化を図ることができる。

【0036】請求項19記載の半導体記憶装置は、サブアレイに設けられた選択スイッチング素子が、XデコーダまたはYデコーダの出力とブロック選択信号の論理和演算機能を備えている構成としてある。半導体記憶装置をこのような構成とすると、ブロック選択信号が通過する回路素子が低減されることにより、負荷が低減され、アクセス時間が短縮され得ることになる。

【0037】請求項20記載の半導体記憶装置は、ブロック選択信号が、書込または読出を含む動作モードの情報を含んでいる構成としてある。半導体記憶装置をこのような構成とすると、書込または読出等の動作モードを別の信号線を介して出力する必要がなくなり、少ない配線によりメモリセルの書込および読出を行なうことができる。

【0038】請求項21記載の半導体記憶装置は、マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、書込電流源の出力電流の温度依存性が、選択メモリセルの磁化反転特性の温度依存性と非選択メモリセルの磁化反転特性の間の値として設定される構成としてある。半

導体記憶装置をこのような構成とすると、書込電流源の出力電流の温度依存性が選択メモリセルの磁化反転特性の温度依存性と非選択メモリセルの磁化反転特性の間の値として設定されることにより、書込電流源の出力電流が、メモリセルの磁化反転特性が持つ負の温度依存性に適した温度依存性を有することになるので、非選択メモリセルの反転磁場と配線の生成する磁場の割合が温度に関係なく一定にある。従って、所謂ディスターープが発生しにくくなるので、温度上昇と共に書込マージンが小さくなるようなことはなく、所定の書込マージンを確保することができる。

【0039】請求項22記載の半導体記憶装置は、書込電流源回路の出力電流の温度依存性が、基準電位回路の電圧により生成されると共に、上記基準電位回路の一部が、バンドギャップリファレンス回路である構成としてある。半導体記憶装置をこのよう構成とすると、半導体記憶装置で一般に使用されている基準電圧生成用のバンドギャップリファレンス回路を流用することができるので、基準電圧発生回路を新たに作成する必要がなく、回路面積を小さくすることができると共に、既に確立している回路やプロセスを利用することができるので、開発が短時間で済み、信頼性の高い半導体記憶装置を構成することができる。

【0040】請求項23記載の半導体記憶装置は、上記基準電位回路が、抵抗素子としてトンネル磁気抵抗素子を使用している構成としてある。半導体記憶装置をこのよう構成とすると、メモリセルの反転電流の温度依存性と書込電流源の書込電流の温度依存性とがプロセスバラツキによって設計値からずれる可能性が小さくなり、歩留まりが向上することになる。

【0041】請求項24記載の半導体記憶装置は、マトリックス状に配置された複数個のトンネル磁気抵抗素子からなるメモリセルアレイと、一方向に並んだメモリセルに対して電流を流す複数本のビット線と、ビット線を横切るように他方向に並んだメモリセルに対して電流を流す複数本のワード線と、を備えており、選択されたメモリセルに対して、Xデコーダによりワード線を選択し、Yデコーダによりビット線を選択して、選択したビット線およびワード線に電流を流すことにより、その交点に位置する当該メモリセルに対して合成磁場によりデータ書込を行なうようにした半導体記憶装置であって、読出回路の出力電圧の温度依存性が、メモリセルのトンネル磁気抵抗素子の温度依存性に合わせ込んで設定される構成としてある。半導体記憶装置をこのよう構成とすると、読出回路の出力電圧が、メモリセルの磁気抵抗素子の温度および電圧依存性が持つ負の温度依存性に適した適正電圧に設定されるので、任意の温度においてセンス電流が最大となり、読出マージンを大きく保持し、所定の読出マージンを確保することができる。

【0042】請求項25記載の半導体記憶装置は、読出

回路の出力電圧の温度依存性が、基準電位回路の電圧により生成されると共に、上記基準電位回路の一部が、バンドギャップリファレンス回路である構成としてある。半導体記憶装置をこのよう構成とすると、半導体記憶装置で一般に使用されている基準電圧生成用のバンドギャップリファレンス回路を流用することができるので、基準電圧発生回路を新たに作成する必要がなく、回路面積を小さくすることができると共に、既に確立している回路やプロセスを利用することができるので、開発が短時間で済み、信頼性の高い半導体記憶装置を構成することができる。

【0043】請求項26記載の半導体記憶装置は、上記バンドギャップリファレンス回路が、抵抗素子としてトンネル磁気抵抗素子を使用している構成としてある。半導体記憶装置をこのよう構成とすると、メモリセルの反転電流の温度依存性と読出回路の読出電流の温度依存性とがプロセスバラツキによって設計値からずれる可能性が小さくなり、歩留まりが向上することになる。

【0044】請求項27記載の半導体記憶装置は、半導体記憶装置が、MRAMであって、読出時のメモリセル電流が $10\mu A$ 程度である構成としてある。半導体記憶装置をこのよう構成とすると、半導体記憶装置がMRAMの場合であっても、書込マージン及び読出マージンを確保することができる。

【0045】請求項28記載の半導体記憶装置は、温度依存性の設定を行なう温度補償回路が、サブレッショルド電流を用いる構成としてある。半導体記憶装置をこのよう構成とすると、温度依存性の設定が確実に行なわれることになり、安定して書込マージン及び読出マージンを確保することができる。

【0046】請求項29記載の半導体記憶装置は、温度依存性の設定を行なう温度補償回路が、出力電流の温度依存性を調整し得るトリミング回路を有している構成としてある。半導体記憶装置をこのよう構成とすると、簡単な構成により、容易に出力電流の温度依存性を調整することができる。

【0047】  
【発明の実施の形態】 [第一の実施の形態] 以下、本発明の実施の形態について、図面を参照して説明する。まず、本発明の半導体記憶装置の第一の実施形態について、図1～図13を参照して説明する。図1は、本実施形態による半導体記憶装置の構成を示すブロック図である。

【0048】図1に示すように、半導体記憶装置10は、マトリックス状に配置された複数個のメモリセル11と、個々のメモリセル11に対してデータ書込を行なうための書込電流源12、13と、個々のメモリセル11についてデータ読出を行なうための読出電源14およびセンスアンプ15と、を含んでいる。なお、図1は、半導体記憶装置10における書込時の状態を示してお

り、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。ここで、書込電流源12からメインワード線セレクタ38、メインワード線32aおよびワード線29を介して、メモリセル11aに電流が流れ、また、書込電流源13からメインビット線セレクタ35、メインビット線31aおよびビット線22を介して、メモリセル11aに電流が流れ、メモリセル11aに対して書込が行なわれるようになっている。

【0049】各メモリセル11の構成について、図2を参照して説明する。図2において、メモリセル11は、シリコン基板20上に層間膜21aを介して形成された複数本の横方向に互いに平行に延びる複数本のビット線(BL)22と、ビット線22上にコンタクト23を介してマトリックス状に配置されたピン層固定用反強磁性体層24と、その上に順次に形成された強磁性体からなるピン層25、トンネル絶縁膜26および強磁性体からなるフリー層27と、その上にコンタクト28を介して形成された紙面に垂直な方向に互いに平行に延びる複数本のワード線(WL)29と、これらを覆う層間膜21bと、から構成されている。ここで、個々のメモリセル11は、上述したピン層25、トンネル絶縁膜26およびフリー層27からなる個々のTMR素子30により構成されており、互いに直角に延びる階層化されたビット線22とワード線29の交点の部分に形成されることにより、マトリックス状に配置されることになる。そして、各メモリセル11は、図3の等価回路に示すように、それぞれ可変抵抗として表わされる。

【0050】ここで、上記ビット線22は、所定本数のワード線29と交差するように、縦方向に関して分割して、Xブロックを構成するように配置されている。同様に、上記ワード線29は、所定本数のビット線22と交差するように、横方向に関して分割して、Yブロックを構成するように配置されている。

【0051】さらに、上記半導体記憶装置10は、上記ビット線(BL)22に対して直交するように階層化して配置されたメインビット線(MBL)31を備えており、また上記ワード線(WL)29に対して直交するように階層化して配置されたメインワード線(MWL)32を備えている。図1に示す場合、各ビット線22の上端に対して、それぞれメインビット線31aが、上方のスイッチングトランジスタ33aを介して接続されている。各ビット線22の下端は、それぞれ下方のスイッチングトランジスタ33bを介して終端電源(図示せず)に接続されている。そして、このスイッチングトランジスタ33bは、そのゲートが下方のメインビット線31bに対して接続されている。そして、上方のメインビット線31aは、左端がメインビット線セレクタ35に接続されており、下方のメインワード線31bは、左端がYブロックデコーダ36に接続されている。

【0052】また、図1に示す場合、各ワード線29の左端に対して、それぞれメインワード線32aが、左方のスイッチングトランジスタ34aを介して接続されている。各ワード線29の右端は、それぞれ右方のスイッチングトランジスタ34bを介して終端電源(図示せず)に接続されている。そして、このスイッチングトランジスタ34bは、そのゲートが右方のメインワード線32bに対して接続されている。そして、左方のメインワード線32aは、上端がメインワード線セレクタ38に接続されており、右方のメインワード線32bは、上端がXブロックデコーダ39に接続されている。

【0053】さらに、メインワード線32a、32bの間において、各ビット線22に沿ってメインワード線32cが配置されており、これらのメインワード線32cは、各ビット線22の上端に接続されたスイッチングトランジスタ33aのゲートに接続されている。そして、これらのメインワード線32cは、上端がYデコーダ40に接続されている。

【0054】上記書込電流源12および読出電源14は、共に上記メインワード線セレクタ38に接続されており、また上記書込電流源13およびセンスアンプ15は、共に上記メインビット線セレクタ35に接続されている。なお、書込電流源12は、双方向電源であり、また書込電流源13は、単方向電源である。

【0055】このようにして、メインビット線セレクタ35、Yブロックデコーダ36およびYデコーダ40により、Yセレクタ回路18aが構成され、またメインワード線セレクタ38、Xブロックデコーダ39およびXデコーダ37により、Xセレクタ回路18bが構成されることになる。また、メインビット線31bにゲートが接続されたトランジスタ33bにより、Y終端回路19aが構成され、メインワード線32bに接続されたトランジスタ34bにより、X終端回路19bが構成されることになる。

【0056】この場合、非選択のビット線22およびワード線29は、図示しない終端電源の電圧Vtermになっている。ここで、電圧Vtermは、外部電圧である書込電流源12、13の電圧Vcc(例えば2.5V)と接地電位GND(例えば0V)の中間電圧、例えば0.8Vである。なお、電圧Vtermが、電圧Vccと接地電位GNDのちょうど中間でないのは、ソース電位が高くなると電流が流れにくくなる単体のNMOSトランジスタをセレクタとして使用しているためである。

【0057】図4は、上記半導体記憶装置10の配線の寄生抵抗を含む書込回路系の回路図を示しており、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。図4において、ビット線22は、メインビット線セレクタ35、Yデコーダ40およびYブロックデコーダ36によって選

択される。Yデコーダ40には、一部のXアドレスの論理が含まれており、X側のブロック選択信号が入力されている。また、Yブロックデコーダ36には、信号READが入力されており、信号31bが活性化される読出モード時に、選択ブロックのビット線22を書込終端に接続しないようにしている。なお、書込モード時には、配線の寄生抵抗によって、ワード線29とビット線22の間に電位差が生じ、メモリセル11に電流が流れることになる。しかしながら、メモリセル11は約1MΩの抵抗値を有しており、書込電流は約2mAであることから、メモリセル11でリークする電流は $1\mu A$ 以下となる。したがって、このリーク電流がメモリセル11の書込動作に影響を与えるようなことはない。

【0058】ここで、書込電流源13から遠いビット線22に書込電流を流す場合、配線の寄生抵抗が大きくなるので、電圧降下が大きくなる。他方、半導体記憶装置10中の部品として構成される書込電流源13は、図5に示すように、簡単な構成が採用されている。以下、書込電流源13の動作を、図5の下半分に示されている

「0」を書き込むためのNMOSにより構成された側のみに関して説明する。なお、図5の上半分に示されている「1」を書き込むためのPMOSにより構成された側は、動作が反転しているだけで同様であるので、説明を省略する。図5において、基準電圧Vrefの電位と抵抗素子520の抵抗値で決まる基準電流が、カレントミラー回路を介して、トランジスタ505からトランジスタ500, ..., 503, 504に流れる。トランジスタ504の電流駆動能力は、基本的な電流値が生ずるよう設定されている。

【0059】また、トランジスタ500～503は、トランジスタ特性のバラツキ分、磁性特性（アステロイド特性）のバラツキ分そして書込電流源13の出力インピーダンスが寄生抵抗により変化して出力電流が影響を受ける分を調整できるよう、例えば16段階で電流を調整できるようになっている。基本分の出力トランジスタ504は、最も大きい駆動能力を必要とするので、例えばゲート長（所謂L）が設定ルールで許される最小のものが採用される。これに対して、他の出力トランジスタ500～503は、調整用であり、正確な電流能力比（例えばトランジスタ501は、トランジスタ500の二倍、トランジスタ502は、トランジスタ500の4倍、トランジスタ503は、トランジスタ500の8倍）が必要があるので、ゲート長のバラツキが見えなくなる程度の大きなゲート長のものが採用される。ここでは、トランジスタ504では、ゲート長L=0.25μmであり、他のトランジスタ500～503は、ゲート長L=0.5μmである。これにより、書込電流源13は、図6に示すようなMOSトランジスタの飽和特性（飽和領域が狭く、かつ平坦でない）の影響を低減して、最終的に調整を行なう調整部分の電流能力のバラツ

キが小さく、正確な電流が出力されることになり、より小さな面積で大きな電流を正確に流すことができる。なお、図5の上半分に示されている「1」を書き込むためのPMOSにおけるトランジスタ515, 510, ..., 513, 514も、同様に構成されている。

【0060】このようにして、「0」を書き込む場合、信号WCNが、また「1」を書き込む場合には、信号WCPが活性化され、その際電流の調整は、信号RGD0～RGD7により行なわれる。この場合、トランジスタ特性のバラツキ分、磁性特性のバラツキ分に関しては、調整すべき量がメモリセル11のアドレスに依存せず一定であるが、寄生抵抗による出力電流の変化分に関しては、調整すべき量は一定ではない。したがって、信号RGD0～RGD7を決定する回路には、メモリセルのアドレスを入力する必要がある。

【0061】この信号RGD0～RGD7を決定する回路（以下、第一の回路という）は、例えば図7に示すように構成されている。図7において、第一の回路60は、信号RGD0～RGD7に対応して、それぞれ四つのレジスタ61と、四つのレジスタ61の出力を加算出力するアンド回路61aと、を備えている。各レジスタ61には、それぞれセルアレイを選択するための信号の上位アドレスであるX8, X9およびその反転信号であるX8B, X9Bの組合せが入力されており、これらの上位アドレスの組合せによって、レジスタが選択されることになる。そして、選択されたレジスタは、それぞれ「0」または「1」に対して、それぞれのアドレスに適した電流が書込電流源13から出力されるような信号RGD0～RGD7を出力するようになっている。レジスタ回路の値は、メモリLSIの製造時の出荷前の機能試験において、仮設定され、マージンをもって書込可能であるか否かの試験をした後に、設定される。

【0062】これらのレジスタは、例えば図8に示すように構成されている。図8において、レジスタ61は、互いに直列に接続された複数個（図示の場合、8個）の記憶素子としてのTMR素子62から構成されており、図9に示すように、電源立ち上げ時にチップ内部で生成される信号LATおよびACTにより、TMR素子62の中間節点N1の値をD-フリップフロップ回路63にラッチするように構成されている。ここで、上記TMR素子62は、図10に示すように、端子に印加される電圧に依存して特性が変化する。すなわち、通常のメモリセルでは、電流を検出するので、電流差が最大（約20%）になるように、端子電圧が0.3～0.5V程度に設定される。しかしながら、端子電圧が低いほど出力電圧の比（抵抗の比、所謂MR比）が高くなる、例えば端子電圧0Vの近傍では、約40%になるので、TMR素子62を直列に配列し、電源側とGND側で逆の値を書き込むことにより、CMOSレベルに近い信号が得られることになる。なお、この回路では、簡略化のために、

50

各TMR素子62の書込用の回路は省略されている。このようなレジスタ61は、TMR素子62が二個以上必要になるが、センスアンプを必要としないことから、回路を簡略化することが可能である。

【0063】さらに、上述した半導体記憶装置10においては、図11に示すように、メモリセル11からなるセルアレイ16に接続される終端電源17に、テスト用外部出力パッド17aが設けられている。これにより、電流測定モードにおいて、活性化される信号TEが活性化されている間、終端電源17の電源回路が不活性となり、書込電流源13の電流値が、このテスト用回部出力パッド17aにより直接に測定され得る。このようにして、書込試験だけでなく、電流値を直接に測定することによって、レジスタ値の設定をより正確に行なうことが可能になる。

【0064】図12は、図1に示した半導体記憶装置10における読出時の状態を示しており、メモリセル11aの読出を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。ここで、読出電源14からメインワード線セレクタ38からメインワード線32aおよびワード線29を介して、メモリセル11aに電流が流れ、その際他のメモリセル11にも電流が流れることになる。このとき、図13の等価回路（メモリセル11を可変抵抗により示す）に示すように、非選択のメモリセル11に流れる不要な電流成分の電流値は、概略値が前もって分かっているので、センスアンプ15内にて、減算回路15aによりその概略値を減算した後、微弱電流値を積分回路15bにより積分してから、AD変換回路15cによりデジタル電流値に変換し、電流値を検出するようになっている。

【0065】その際、このデジタル電流値が個々のメモリセル11の特性バラツキに影響されないように、上記デジタル電流値を一旦電流値レジスタ15eに保存しておく。そして、当該メモリセル11aに「0」を書き込んだ後、再度同様にして電流値を読み出して、この再度読み出したデジタル電流値と電流値レジスタ15eに保存されたデジタル電流値とを比較器15dにより比較する。ここで、比較器15dは、このデジタル電流値の差が誤差範囲を越えている場合には、メモリセル11aのデータは、「1」と判定し、誤差範囲内である場合には、メモリセル11aのデータは、「0」と判定する。その際、上記誤差範囲は、基準値レジスタ15fに保存されている。このようにして、所謂自己リファレンス方式によって、「0」または「1」の判定が、メモリセルの特性バラツキに影響されることなく、正確に行なわれることになる。

【0066】この場合、メインビット線31とビット線22が互いに直交して配置されていることから、メインビット線セレクタ35が、メモリセル11を構成するメモリセルアレイ16の間に設ける必要がない。これによ

り、メインビット線セレクタ35を構成するトランジスタ35a（図4参照）は、チップサイズに殆ど影響を与えることなく、大きくすることができ、書込電流を安定して流すことができる。

【0067】【第二の実施の形態】図14は、本発明による半導体記憶装置の第二の実施形態の構成を示すプロック図である。図14において、半導体記憶装置70は、図1に示した半導体記憶装置10とほぼ同様の構成であるので、同じ構成要素には同じ符号を付して、その説明を省略する。

【0068】図14において、半導体記憶装置70は、図1に示した半導体記憶装置10と比較して、メインビット線セレクタおよびYセレクタ回路そして書込電流源が異なる構成になっている。なお、図14は、半導体記憶装置70における書込時の状態を示しており、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。

【0069】メインビット線セレクタ71は、各メインビット線31a, 31bの双方に接続されており、Yブロックデコーダ72は、さらにメインビット線31a, 31bの外側に設けられたメインビット線31d, 31eに接続されている。そして、これらのメインビット線31d, 31eは、それぞれトランジスタ33a, 33bのゲートに出力が接続されたNANDゲート73の一方の入力端子に接続されており、これらのNANDゲート73の他方の入力端子は、それぞれメインワード線32cに接続されている。この場合、各ビット線22は、その下端が終端電源に接続されておらず、メインビット線31bに接続されることにより、他の接地電位とは分けられた内部接地電位Gtermに保持されることになる。

【0070】また、書込電流源74は、図15に示すように、電流を流す方向のみの片方向電源であって、出力部はPMOSのみによって構成されており、書込電流源13と比較してより小型に小面積に形成されている。そして、書込データの「0」または「1」は、書込電流源74からの出力電流によって行なわれるのではなく、メインビット線セレクタ71による相補のメインビット線31aまたは31bの選択によって行なわれるようになっている。この場合、上述した第一の回路60も、中間節点N1が不要であることから、約半分のTMR素子62により構成され得ることになり、小面積に構成され得る。

【0071】図16は、上記半導体記憶装置70の書込回路系を含む回路図を示している。図16において、書込データ信号DATAおよびその反転信号DATABによって、相補のメインビット線31aまたは31bの一方が選択され、他方は終端電位に固定される。このような構成によって、メインビット線セレクタ71のNMOトランジスタのソース・ゲート間電位がほぼ電源電圧

21

と同じにすることが可能であるので、セレクタ71のトランジスタ71aを小さくすることができ、メモリセル16内にNANDゲート73による増加面積を補償することになる。この場合、メインビット線31を流れる電流の距離がほぼ二倍になることから、メインビット線31d, 31eによる配線の寄生抵抗の影響が、図1の半導体記憶装置10の場合と比較して大きくなる。このため、図1の半導体記憶装置10におけるメモリセル11のアドレスによる電流の調整がより厳密に行なわれる必要がある。

【0072】図17は、上記半導体記憶装置70の読出時の状態を示すブロック図である。図17において、読出モード時に活性化されるトランジスタが太線により示されている。この場合、読出時に活性化される読出信号READにより、データに拘わらず双方のメインビット線31a, 31bが使用される。そして、メインビット線セレクタ71は、ワード線29の両側がオン状態となるため、トランジスタ71aあたりの電流が約半分になる。したがって、メインビット線セレクタ71における電圧降下が減少して、TMR素子からなるメモリセル11に印加する電圧をより正確に制御できることになる。このようにして、図10に示したように、TMR素子の特性が両端子に印加される電圧により変化するので、TMR素子の動作マージンを向上させることができる。

【0073】さらに、この場合、書込電流源74による書込電流を正確に測定するために、図18に示すように、通常のGND外部端子パッド16bとは別に、メモリセルアレイ16の内部接地電位Gtermを引き出すための書込終端専用GND外部端子パッド16cが設けられている。この書込終端専用GND外部端子パッド16cによって、出荷前にウェハ状態で、書込電流源74の調整を行なう際に、書込電流源74の電流値を正確に測定することができる。

【0074】【第三の実施の形態】図19は、本発明による半導体記憶装置の第三の実施形態の構成を示すブロック図である。図19において、半導体記憶装置80は、図14に示した半導体記憶装置70とほぼ同様の構成であるので、同じ構成要素には同じ符号を付して、その説明を省略する。

【0075】図19において、半導体記憶装置80は、図14に示した半導体記憶装置70と比較して、メインビット線セレクタおよびYセレクタ回路そして書込電流源が異なる構成になっている。なお、図19は、半導体記憶装置80における書込時の状態を示しており、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。

【0076】メインビット線セレクタ81は、各メインビット線31a, 31bの双方に接続されており、Yブロックデコーダ82は、さらにメインビット線31aの外側に設けられたメインビット線31dに接続されてい

22

る。そして、メインビット線31dは、それぞれトランジスタ33aのメインビット線31aとは反対側とGND間に接続されたNMOSトランジスタ83のゲートに出力端子が接続されたNORゲート84の一方の入力端子に接続されており、これらのNORゲート84の他方の入力端子は、メインワード線32cに接続されている。

【0077】この場合、各ビット線22は、その下端が、メインビット線31bに接続されている。これにより、非選択のメモリセル11に対応するビット線22がNORゲート84によりオンされるNMOSトランジスタ83を介して、他の接地電位とは分けられた内部接地電位Gtermに保持されるようになっている。

【0078】この場合、上述した第二の実施形態である半導体記憶装置70と比較して、各ビット線22の両端における回路構成が異なることにより、レイアウトが困難になるが、より少ないトランジスタ数により、メインビット線セレクタ81を構成することができるので、小面積で構成することができる。

【0079】図20は、上記半導体記憶装置80の書込回路系を含む回路図を示している。図20において、書込データ信号DATAおよびその反転信号DATABによって、メインビット線31aがオンされ、メインビット線31bは終端電位に固定される。このような構成によって、図14に示した第二の実施形態の半導体記憶装置70と同様に、メインビット線31を流れる電流の距離がほぼ二倍になることから、メインビット線31d, 31eによる配線の寄生抵抗の影響が、図1の半導体記憶装置10の場合と比較して大きくなる。このため、図1の半導体記憶装置10におけるメモリセル11のアドレスによる電流の調整がより厳密に行なわれる必要がある。

【0080】図21は、上記半導体記憶装置80の読出時の状態を示すブロック図である。図21において、読出モード時に活性化されるトランジスタが太線により示されている。この場合、読出時に活性化される読出信号READにより、データに拘わらず双方のメインビット線31a, 31bが使用される。そして、メインビット線セレクタ81は、ワード線29の両側がオン状態となるため、トランジスタ81aあたりの電流が約半分になる。したがって、メインビット線セレクタ81における電圧降下が減少して、TMR素子からなるメモリセル11に印加する電圧をより正確に制御できることになる。

【0081】【第四の実施の形態】図22は、本発明による半導体記憶装置の第四の実施形態の構成を示すブロック図である。図22において、半導体記憶装置90は、図14に示した半導体記憶装置70とほぼ同様の構成であるので、同じ構成要素には同じ符号を付して、その説明を省略する。

【0082】図22において、半導体記憶装置90は、

10

20

30

40

50

図14に示した半導体記憶装置70と比較して、メモリセルおよびX終端回路が異なる構成になっている。なお、図22は、半導体記憶装置90における書込時の状態を示しており、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。

【0083】この場合、メモリセル91は、図23に示すように、シリコン基板20上にて、拡散層20aを介して形成されたコンタクト23上に、順次にピン層固定用反強磁性体層24、ピン層25、トンネル絶縁膜26、フリー層27およびコンタクト28が積層されTMR素子が構成されていると共に、コンタクト28上にビット線22が形成されている。さらに、このメモリセル91においては、ワード線29aが、書込ワード線29aと読出ワード線29bに分けられている。そして、これらの書込ワード線29aと読出ワード線29bが、それぞれ層間膜21a中に形成されていると共に、これらの間にGND線29cが形成されている。

【0084】このメモリセル91は、図24に示すように、可変抵抗による等価回路で表わされており、その書込ワード線29aが、左端がトランジスタ92を介してメインワード線に接続されており、このトランジスタ92のゲートは、メインワード線32cに接続されている。また書込ワード線29aの右端は、直接に終端電源に接続されている。また、読出ワード線29bには、NANDゲート93の出力端子が接続されており、このNANDゲート93の一方の入力端子は、メインワード線32bに接続されており、他方の入力端子は、メインワード線31cに接続されている。

【0085】このような構成によれば、ビット線22の選択は、図14に示した第二の実施形態による半導体記憶装置70と同様であり、また書込ワード線29aの選択は、各書込ワード線29aの左端に接続されたトランジスタ92により行なわれる。この場合、メモリセル91の読出方法に拘わらず、メモリセル91の書込を行なうことができるので、データ書込に関しては、図19に示した第三の実施形態による半導体記憶装置80に適用することも可能である。

【0086】図25は上記半導体記憶装置90の読出時のブロック図、図26は上記半導体記憶装置90の配線の寄生抵抗を含む書込回路系の回路図を示しており、メモリセル91aの読出を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。センスアンプ15からメインビット線31a、ビット線22を介して、メモリセル91aのGND線29cに信号電流が流れ込み、センスアンプ15は、この信号電流を基準電流と比較して、基準電流より大きい場合には「0」と判定し、小さい場合には「1」と判定する。

【0087】【第五の実施の形態】図27は、本発明による半導体記憶装置の第五の実施形態の構成を示すプロ

ック図である。図27において、半導体記憶装置100は、図19に示した第三の実施形態による半導体記憶装置80の変形例であって、同じ構成要素には同じ符号を付して、その説明を省略する。図27において、半導体記憶装置100は、図19に示した半導体記憶装置80と比較して、NORゲート84およびNMOSトランジスタ83を除いた点が異なる構成になっている。なお、図27は、半導体記憶装置100における読出時の状態を示しており、メモリセル11aの読出を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。

【0088】この場合、非選択のビット線22がトランジスタ33aにより駆動されない。そして、ビット線22は、メモリセル11を介してワード線29に接続され、ワード線29は、図示しない書込終端電源に直接に接続されている。メモリセル11の抵抗値が高く、メモリセル11の動作時間が遅くても構わない場合には、このようにメモリセル11を介して、非選択時の電位を供給するように構成することも可能である。

【0089】【第六の実施の形態】図28は、本発明による半導体記憶装置の第六の実施形態の構成を示すブロック図である。図28において、半導体記憶装置110は、図19に示した第三の実施形態による半導体記憶装置80の変形例であって、同じ構成要素には同じ符号を付して、その説明を省略する。図28において、半導体記憶装置110は、図19に示した半導体記憶装置80と比較して、Xブロックデコーダ39の代わりに、もう一つのメインワード線セレクタ38を設けて、メインワード線32a、32bを相補の構成にしたものである。

なお、図28は、半導体記憶装置110における書込時の状態を示しており、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。ここで、ワード線29は、その右端が図示しない書込終端電源に直接に接続されるのではなく、メインワード線32bに接続されている。

【0090】図29は、上記半導体記憶装置110の配線の寄生抵抗を含む書込回路系の回路図を示しており、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。図29において、一方のメインビット線31aが書込電流源13に接続され、他方のメインビット線31bが図示しない終端電源に接続される。そして、この場合、信号WCDまたは反転信号WCDにより、メインワード線32a、32bを切換えることにより、ワード線29の電流の方向を逆転させることができる。なお、磁化反転磁場曲線は、ワード線29の電流の正負に対して、理論的には対称となる筈であるが、実際には少し異なる場合が多い。したがって、より広い動作マージンとなる電流値を配線に対して与えるためには、ワード線29側の電流の向きもメモリセルアレイ16およびメモリセル11のアドレ

スに依存して、調整することが望ましい。

【0091】図30は、上記半導体記憶装置110の読出時の状態を示すブロック図であり、メモリセル11aの読出を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。読出時には、メインビット線31a, 31bと同様にして、相補の双方のメインワード線32a, 32bが使用されることになる。

【0092】〔第七の実施の形態〕図31は、本発明による半導体記憶装置の第七の実施形態の構成を示すブロック図である。図31において、半導体記憶装置120は、図19に示した半導体記憶装置80とほぼ同様の構成であるので、同じ構成要素には同じ符号を付して、その説明を省略する。

【0093】図31において、半導体記憶装置120は、図19に示した半導体記憶装置80と比較して、メインビット線セレクタ、YブロックレコーダおよびY終端回路、X終端回路が異なる構成になっている。メインビット線セレクタ121は、二つの書込メインビット線セレクタ121a, 121bと、一つの読出メインビット線セレクタ121cと、から構成されている。書込メインビット線セレクタ121, 121bは、メインビット線31a, 31bに接続されている。

【0094】これに対して、読出メインビット線セレクタ121cは、メインビット線31bの外側に設けられたメインビット線31fに接続されており、このメインビット線31fは、トランジスタ33bとは別に設けられたトランジスタ33cを介して、ビット線22の下端に接続されている。これは、トランジスタ33bが数mAの書込電流を確保するためにゲート幅が大きく、ソース・ドレイン間の寄生容量が読出時に無視できなくなることから、読出時専用のゲート幅の小さいトランジスタ33cを設けることにより、トランジスタのソース・ドレイン間の寄生容量の影響をできるだけ低減するためである。ここで、上記トランジスタ33cは、NORゲート122の出力端子がゲートに接続されており、NORゲート122は、その一方の入力端子がメインワード線29に接続されていると共に、他方の入力端子が、Yブロックデコーダ82に接続された読出専用の二重メインビット線31g1, 31g2に接続されている。さらに、各ビット線の右端に接続されたトランジスタ34bのゲートは、共通のNANDゲート123の出力端子に接続されており、このNANDゲート123の一方の入力端子は、メインワード線32bに接続されていると共に、他方の入力端子がNANDゲート124を介して、上記二重メインビット線31g1, 31g2に接続されている。これにより、チップ面積は大きくなるが、読出の高速化が可能になる。

【0095】さらに、この場合、Yデコーダ40の出力が、ビット線22の二本あたりに一本配置されている。そして、Yブロックデコーダ36に対して、信号Y0を

入力して、読出時のブロック選択信号RTXAおよび書込時のブロック選択信号WTXAを、二本一組にしてY0の論理信号を加えるようにしている。

【0096】図32は、上記半導体記憶装置120の書込回路系を含む回路図を示している。図32において、書込データ信号DATAおよびその反転信号DATABによって、相補のメインビット線31a, 31bの一方が選択され、他方は終端電位に固定される。これにより、図14に示した第二の実施形態による半導体記憶装置70と同様にして、メモリセル11aの書込が行なわれる。

【0097】図33は、上記半導体記憶装置120の読出回路系を含む回路図を示している。図33において、読出時に活性化される読出信号READにより、読出メインビット線セレクタ121cが読出専用のメインビット線31fを介して、さらに読出専用のゲート幅の小さいトランジスタ33cを介して、メモリセル11aを介して流れる電流を検出する。これにより、比較的ゲート幅の大きいトランジスタ33bのソース・ドレイン間の寄生容量の影響を排除して、正確なメモリセル11aのデータ読出を行なうことができる。また、ブロック選択信号RTXA, WTXAが入力されるNORゲートの個数やビット線22の本数が実質的に半分にされ得るので、負荷が軽減され、アクセス時間の高速化を図ることができる。

【0098】これに対して、図34～図51は、本発明による温度補償を行なう半導体記憶装置の実施形態を示している。

【0099】〔第八の実施の形態〕まず、図34は、本発明による半導体記憶装置の第八の実施形態の書込回路系を示すブロック図である。図34において、半導体記憶装置130は、セルアレイ16, Xセレクタ18b, Yセレクタ18a, X終端回路19b, Y終端回路19a, 書込電流源12, 13を備えていると共に、本実施形態の特徴である温度補償電圧源回路131を備えている。ここで、上記Xセレクタ18b, Yセレクタ18aの一つのゲート、X終端回路19b, Y終端回路19aは、図示しない制御回路により活性化されると共に、温度補償電圧源回路131より生成された出力電圧により書込電流源12, 13が動作して、書込電流を所望のメモリセルに対して流すようになっている。なお、図34は、半導体記憶装置130における書込時の状態を示しており、メモリセル11aの書込を行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。

【0100】上記温度補償電圧源回路131は、一般的なLSIの動作補償範囲が0℃～80℃であると共にパッケージ内ではさらに高温になることから、使用中に100℃の温度差に対応できるように、高温における反転磁化すなわち書込電流を減少させるためのものであり、図35に示すように、基準電圧回路により構成されてい

27

る、すなわち三つのダイオード D0, D1, D2 と、トランジスタ MP1, MP2, MP3, MN1, MN2 を含むバンドギャップリファレンス回路として構成されており、上記ダイオード D0, D1, D2 は、それぞれ温度上昇と共に、約  $-2 \text{ mV}/\text{℃}$  の割合でバンドギャップ電圧が減少する特性を有している。これにより、温度上昇に伴って、トランジスタ MN1, MN2 のソース電位が低下して、カレントミラー電流 I が増加する。このカレントミラー電流 I は、

【数1】

$$I = k_B T \ln(N) / R_1$$

で与えられる。ここで、N は、 $k_B$  はボルツマン定数、q は電荷素量である。したがって、抵抗 R2 の両端の電圧が温度と共に上昇することになり、基準電圧 Vref は、

【数2】

$$V_{ref} = V_F + k_B T / q \cdot (R_2 / R_1) \ln(N)$$

で与えられ、式(2)の第一項の負温度係数及び第二項の正温度係数により、基準電圧 Vref は、抵抗 R1, R2 の定数の選択により、任意の範囲の負特性または正特性を有することができる。

【0101】このようにして、温度補償電圧源回路 131 は、その出力する基準電圧 Vref に意図的に温度依存性を持たせるようになっている。そして、この基準電圧 Vref を電圧変換回路 132 により電圧変換することにより、二つのパラメータ r1 (= (R1/R2)), r2 (= R4/R3) を有する出力電圧 Vout

【数3】

$$V_{out} = (1 + R4/R3)V_0 - (R4/R3)V_{ref}$$

を生成することができる。ここで V0 は通常の温度補償回路で生成した温度依存性のない一定電圧である。なお、上記抵抗 R2, R4 は、実際には、トリミング回路として構成され、トリミングできるようになっている。このようなトリミング回路は、具体的には図 36 に示す\*

$$P(I_B, I_W) = \left[ \int_{-\infty}^I f(x, \mu, \sigma; I_W) dx \right] \left[ 1 - \int_{-\infty}^I f(x, \mu, \sigma; 0) dx \right]^N$$

で与えられる ( $N = 103$ )。実際の測定により得られた分布関数を用いて、これを計算すると、図 39 にて黒いマークで示すようになる。ここで、縦軸は、不良セルすなわち  $1 \text{ Gb} \times P(I_W, I_B)$  であり、書込不可メモリセルまたは誤書込されたメモリセルの数を意味する。横軸は、標準偏差  $\sigma$  であり、ビット線のみでの反転電流の平均値で規格化されている。

【0105】図 39 から、従来のように温度に依存しない書込電流が流れる回路を用いた場合には、100% bit-pass を得るために  $25^\circ\text{C}$  において  $\sigma < 6\%$  が必要であるが、 $\sigma = 5\%$  としても、 $50^\circ\text{C}, 75^\circ\text{C}$

28

\* ように、互いに並列に接続された抵抗及びトランジスタを N 個直列に接続することにより構成されている。これにより、選択されたトランジスタ T をオンさせることにより、当該トランジスタ T に並列接続された抵抗 R を短絡させて、全体として適宜の抵抗値が得られるようになっている。

【0102】そして、温度補償電圧源回路 131 からの出力電圧  $V_{out}$  が出力されると、書込電流源 12, 13 は、図 37 に示すように、電流出力回路を構成するトランジスタのゲートに対して、出力電圧  $V_{out}$  及び  $V_{out} - \Delta V$  を印加することにより、ゲート電圧の温度変化による変動によって、所望の温度依存性を備えた書込電流を出力するようになっている。

【0103】具体的には、例えば  $V_f$  の変動を  $-2 \text{ mV}/\text{℃}$ ,  $r_1 = 10$  とし、 $r_2 = 0.6, 1.6, 2.6$  と変動させたときの書込電流の温度依存性は、図 38 に示すようになる。ここで、破線は温度依存性のない従来の書込電流値であり、 $100^\circ\text{C}$  においては非選択メモリセルの反転電流と一致することから、誤書込が発生してしまう。これに対して、白いマークは、測定値であり、また黒いマークは、設計時の書込電流の温度依存性である。従って、特に  $r_2 = 1.6$  のとき、設計した書込電流は、測定された選択メモリセルの書込電流とほぼ一致した温度依存性を有する。

【0104】このような温度依存性によって、図 39 に示すように、セルアレイ 16 (ここでは、1 Mb のアレイ 1k 個で構成される 1 Gb セルアレイ) 内の各磁性膜は、形状や組成のバラツキ、あるいはピン層との磁気的相互作用のバラツキ等により、書込バラツキを有する。従って、例えばワード電流  $I_w$  のそのときの標準偏差を  $\sigma(I_w)$  とし、この分布が正規分布  $f(x, \mu, \sigma; I_w)$  で与えられると仮定すると、選択メモリセルに対してビット線電流  $I_b$ , ワード線電流  $I_w$  を流した時に誤り無く書き込みを行なうことができる確率 (Pass 率)  $P(I_w, I_b)$  は、

【数4】

40 と温度が上昇するにつれて、多重選択メモリセル数は、 $10^4$  個、 $10^8$  個に急増する。そして、 $75^\circ\text{C}$  でも  $100\% \text{bit-pass}$  を得るために  $\sigma < 2\%$  が必要である。さらに、 $100^\circ\text{C}$  では、 $\sigma$  を  $1\%$  以下にしても、必ず多重選択が発生してしまう。これに対して、本発明実施形態による半導体記憶装置 130 によれば、上述した温度補償電圧源回路 131 を使用することにより、書込マージンが確保されることになるので、多重選択メモリセル数は、温度が上昇しても低く抑えられることになり、 $\sigma < 5\%$  であれば、 $100^\circ\text{C}$  においても  $100\% \text{bit-pass}$  を実現することができる。

【0106】上述した半導体記憶装置130においては、温度補償電圧源回路131は、基準電圧回路として、ダイオードD0, D1, D2を使用したバンドギャップリファレンス回路を使用しているが、これに限らず、図40に示すように、トランジスタのサブスレッシュホールド領域を利用して、同様に書き込み電流に温度依存性を付与することができる。この場合、基準電圧Vrefは、

## 【数5】

$$V_{ref} = V_F + k_B T / q \cdot (R_2 / R_1) \ln(\beta_2 / \beta_1)$$

で与えられる。ここで、 $\beta_1$ ,  $\beta_2$ は、それぞれトランジスタMN1, MN2の(ゲート幅W/ゲート長L)である。

【0107】また、温度補償電圧源回路131は、図41に示すような構成の基準電圧回路を使用してもよい。この場合、リファレンスTMRの抵抗RTMRは、温度上昇と共に減少するが、(カレントミラー電流の温度依存性を無視して)これに温度依存しない一定電流Iを流すことにより、出力電圧Vrefは、 $m I R_{TMR}$ となる

(mは、選択したTMRの数)。従って、出力電圧Vrefを例えば図35と同様の電圧変換回路(ただし、抵抗はTMRにより構成される)に入力すると、出力電圧Voutは、

## 【数6】

$$V_{out} = (1 + R_4 / R_3) V_0 - (R_4 / R_3) m I R_{TMR}(T)$$

となる。この出力電圧Voutは、温度上昇と共に増加する電圧となり、この電圧を書き込み電流源(例えばPMOSゲート)の入力に使用すれば、温度と共に減少する電流が得られることになる。従って、上述した半導体記憶装置130においては、抵抗の温度依存性とTMR書き込み電流の温度依存性がプロセスばらつき等の影響を受けて、合わせ込んだプロファイルからずれている場合であっても、適宜の書き込み電流が流れることになり、書き込み精度が低下することはない。

【0108】【第九の実施の形態】図42は、本発明による半導体記憶装置の第九の実施形態の読み出し回路系を示すブロック図である。図42において、半導体記憶装置140は、セルアレイ16, Xセレクタ18b, Yセレクタ18a, X終端回路(図示せず), Y終端回路(図示せず), 読み出し電源としてのプリアンプ14, センスアンプ15と、を備えていると共に、本実施形態の特徴である温度補償電圧源回路141を備えている。ここで、上記Xセレクタ18b, Yセレクタ18a, X終端回路, Y終端回路及びセンスアンプ15は、信号制御回路142により活性化されると共に、温度補償電圧源回路141より生成された出力電圧によりプリアンプ14が動作して、読み出し電流を所望のメモリセルに対して流すようになっている。なお、図34は、半導体記憶装置13

0における書き込み時の状態を示しており、メモリセル11aの書き込みを行なう際に、オンとなるセレクタ、トランジスタ等が太線で示されている。この場合、各メモリセル11は二つのTMRセルから成り、それぞれ「0」「1」または「1」「0」の相補の状態に書き込まれているものとする。信号制御回路142により読み出し信号XDENR及びYDENRが活性化されると、これによりXセレクタ18bおよびYセレクタ18aのそれぞれ選択されたゲートが活性化される。これに対して、非選択のゲート及び終端側は、HiZとする。選択されたセルRsおよび参照セルRrを流れる電流をそれぞれIs, Irとすると、 $Rs > Rr$  (または $Rs < Rr$ ) のとき、 $Is < Ir$  (または $Is > Ir$ ) である。ここで、プリアンプ14は、例えば図43に示すように構成されており、この電流差を電圧に変換するように動作し、プリアンプ14の出力電圧は、それぞれVs0, Vr0となる。これにより、センスアンプ15は、電圧差 $\Delta V$  ( $= Vs0 - Vr0$ ) の正負により、「0」(または「1」)を出力する。

【0109】以下、上記センスアンプ15の動作を詳細に説明する。上記センスアンプ15は、例えば図44に示すように構成されており、SAEN0が非活性の間は、ノードVcmp0, Vcmp1はプリチャージされており、ほぼ定電圧Vddに等しい。ここで、読み出モードにて、信号制御回路142によりSAEN0が活性化されると、ノードVcmp0, Vcmp1は、フローティングとなる。上記Vs0, Vr0は、例えば0.3~0.5V程度の低電圧である必要があることから、例えば図45に示すようなバッファ回路143により、Vdd/2程度の電位Vs1, Vr2に増幅する。その際、例えば図46に示す構成の遅延回路144により、SAEN0の活性化からt1(ns)後に、SAEN1が活性化されて、上記Vs0, Vr0がVs1, Vr2に増幅される。

【0110】続いて、上記遅延回路144によって、SAEN0の活性化からt2(ns)後に、SAEN2が活性化される。これにより、センスアンプ15のM1~M4からなるラッチ回路に帰還がかかり、ノードVcmp0, Vcmp1の電位差が増幅され、PAOUTが出力される。このPAOUTが、例えば図47に示すような構成のラッチ回路145に取り込まれて、PAOUTの値を読み取って、「0」または「1」の信号SAOUTを出力する。ここで、上述した各信号すなわちXDENR, SAEN0, SAEN1, SAEN2そしてPAOUTおよびSAOUTは、図48に示すようになっている。

【0111】ここで、温度が上昇すると、Rs, Rrが減少して、Is, Irが増加するが、 $\Delta I$  ( $= Is - Ir$ ) は減少する。また、 $|\Delta I|$ が最大となるVrefは、低電圧側にずれるので、温度上昇に伴って、Ver

31

$f$  を下げる必要がある。この  $V_{ref}$  の最適値の温度依存性は、測定によってプロファイルを測定しておき、出荷時にこのプロファイルに一致した温度依存性を生成するよう、温度補償電圧源回路 141 のトリミング回路を調整する。これにより、図 49 に示すように、読出時の温度補償電圧源回路 141 による温度補償の効果が得られる。すなわち、図 49 (A) に示すように、読出出力電圧  $V_{ref}$  が適宜の温度依存性を有するように、温度補償電圧源回路 141 を設定しておくことにより、図 49 (B) に示すように、温度変更に対応して、電流差  $\Delta I$  が最大となる電位差が、TMR の両端に印加される結果、図 49 (C) に示すように、電流差の減少が低く抑制され得ることになり、読出マージンが高くなる。

【0112】 [第十の実施の形態] 上述した半導体記憶装置 140においては、読出電流を検出すること（電流センス）により、「0」「1」の電流差の温度依存性の小さい回路、すなわちセンスアンプ 15 を使用することにより、読出マージンを確保するようにしているが、これに限らず、図 50 に示す半導体記憶装置 150 によって、電圧センスにより、読出マージンを確保することも可能である。図 50において、半導体記憶装置 150 は、TMR に対して「0」「1」にかかわらず、ほぼ一定の電流  $I_s$  を流して、TMR 両端の電位差  $V_s (= I_s \cdot R(T))$  を比較回路 146 により検出するように構成されている。この場合、読出電流は、図 34 に示した半導体記憶装置 130 における書込電流と同様に TMR に流される。

【0113】さらに、この半導体記憶装置 150 は、温度補償のために、プリアンプ 14 の代わりに、温度補償定電流源回路 151 を備えている。TMR の抵抗値は、一般に温度に反比例する特性を示しており、その抵抗値は、

【数 7】

$$R_j(T_0 + \Delta T) = R_j / (1 + b_j \Delta T) \quad (j=0, 1)$$

で近似され得る。従って、温度補償定電流源回路 151 から出力される読出電流を、

【数 8】

$$I_s(T_0 + \Delta T) = I_s + a \Delta T$$

なる温度依存性を有するように設定しておけば、TMR のセンス電圧は、

【数 9】

$$V_{sj} = I_s \cdot R_j [1 + a \Delta T / I_s] [1 + b_j \Delta T]$$

となるので、 $a = b_j \times I_s$  とすることにより、センス電位  $V_{sj}$  は、温度によらず一定な値  $V_{sj} = I_s R_s$  に設定することができる。これにより、読出マージンを確保することが可能となる。ところで、一般に  $b_0 < b_1$  であるから、センス電位  $V_{s0}, V_{s1}$  の双方の温度依存性を完全に排除することはできないが、例えば  $a =$

32

$(b_0 + b_1) / (2 I_s)$  となるように設定することによって、「0」「1」双方のセンス電位の温度依存性による変動を小さくすることができる。このようにして、図 51 に示すように、読出時の温度補償電圧源回路 151 による温度補償の効果が得られる。すなわち、図 51 (A) に示すように、TMR の抵抗値の温度依存性に対して、読出電流  $I_s$  の温度補償を行なうことにより、図 51 (C) に示すように、センス電位  $V_{sj}$  の変動を小さくすることができるので、読出マージンが高くなる。

【0114】上記実施形態においては、典型的な TMR 素子の抵抗  $R(T)$  の温度依存プロファイルを参照することにより、読出電流  $I_s$  の温度依存性を設計する必要があることから、プロセスばらつき等の影響を受けて、読出精度が低下する可能性があるが、リファレンス用の TMR 素子を温度制御回路の抵抗として利用するようすれば、読出電流  $I_s$  を制御することができるので、プロセスばらつき等の影響を受けにくくなる。

【0115】

【発明の効果】以上のように、本発明によれば、書込電流源からの書込電流を各ビット線またはワード線に供給するためのメインビット線またはメインワード線が、各ビット線またはワード線に対して直交するように配置されているので、メインビット線セレクタまたはメインワード線セレクタをメモリセルアレイの間に設ける必要がなくなるので、メインビット線セレクタまたはメインワード線セレクタを構成するトランジスタの大きさを、半導体記憶装置を構成するチップの大きさに殆ど影響を与えることなく、十分大きくすることができる。したがって、メインビット線セレクタまたはメインワード線を通じる書込電流値を十分大きくすることができるので、安定した書込電流により所望のメモリセルに対して書込を行なうことができる。これにより、各メモリセルに対して動作マージンを十分に確保して、正確にデータ書込を行なうことが可能になる。

【0116】また、TMR 素子そして MRAM のアステロイド特性の温度依存性をできるだけ抑制することによって、温度変化による書込マージン及び読出マージンの変化を少なくして、書込マージン及び読出マージンを確保することができる。

【画面の簡単な説明】

【図 1】本発明の第一の実施形態の半導体記憶装置の書込時の状態を示すブロック図である。

【図 2】図 1 の半導体記憶装置において記憶素子として使用される TMR 素子の構成を示す拡大断面図である。

【図 3】図 2 の 4 個の TMR 素子の等価回路図である。

【図 4】図 1 の半導体記憶装置における書込回路系の回路図である。

【図 5】図 1 の半導体記憶装置におけるビット線側の書込電流源の構成を示す回路図である。

【図6】MOSトランジスタの典型的な電流特性を示すグラフである。

【図7】図1の半導体記憶装置における第一の回路の構成を示す回路図である。

【図8】図7の第一の回路で使用されるレジスタ回路の構成を示す回路図である。

【図9】図8のレジスタ回路の電源立ち上げ時の動作波形を示すグラフである。

【図10】TMR素子のMR比および電流差の典型的な特性を示すグラフである。

【図11】図1の半導体記憶装置における終端電源を示す概略図である。

【図12】図1の半導体記憶装置における読出時の状態を示すブロック図である。

【図13】図12の半導体記憶装置における読出回路系の回路図である。

【図14】本発明の第二の実施形態の半導体記憶装置の書込時の状態を示すブロック図である。

【図15】図14の半導体記憶装置におけるピット線側の書込電流源の構成を示す回路図である。

【図16】図14の半導体記憶装置における書込回路系の回路図である。

【図17】図14の半導体記憶装置の読出時の状態を示すブロック図である。

【図18】図14の半導体記憶装置における終端用GND配線を示すブロック図である。

【図19】本発明の第三の実施形態の半導体記憶装置の書込時の状態を示すブロック図である。

【図20】図19の半導体記憶装置における書込回路系の回路図である。

【図21】図19の半導体記憶装置の読出時の状態を示すブロック図である。

【図22】本発明の第四の実施形態の半導体記憶装置の書込時の状態を示すブロック図である。

【図23】図22の半導体記憶装置において記憶素子として使用されるTMR素子の構成を示す拡大断面図である。

【図24】図23の4個のTMR素子の等価回路図である。

【図25】図22の半導体記憶装置の読出時の状態を示すブロック図である。

【図26】図22の半導体記憶装置における読出回路系の回路図である。

【図27】本発明の第五の実施形態の半導体記憶装置の読出時の状態を示すブロック図である。

【図28】本発明の第六の実施形態の半導体記憶装置の書込時の状態を示すブロック図である。

【図29】図28の半導体記憶装置における書込回路系の回路図である。

【図30】図28の半導体記憶装置の読出時の状態を示すブロック図である。

すブロック図である。

【図31】本発明の第七の実施形態の半導体記憶装置の構成を示すブロック図である。

【図32】図31の半導体記憶装置における書込回路系の回路図である。

【図33】図31の半導体記憶装置における読出回路系の回路図である。

【図34】本発明の第八の実施形態の半導体記憶装置の書込時の状態を示すブロック図である。

【図35】図34の半導体記憶装置における温度補償電圧源回路の構成例を示す回路図である。

【図36】図35の温度補償電圧源回路で使用されるトリミング回路の構成例を示す回路図である。

【図37】図34の半導体記憶装置における書込電流出力回路の構成例を示す回路図である。

【図38】図34の半導体記憶装置における書込電流の温度特性を示すグラフである。

【図39】図34の半導体記憶装置における温度補償による効果を示すグラフである。

【図40】図34の半導体記憶装置における温度補償電圧源回路の他の構成例を示す回路図である。

【図41】図34の半導体記憶装置における温度補償電圧源回路のさらに他の構成例を示す回路図である。

【図42】本発明の第九の実施形態の半導体記憶装置の読出時の状態を示すブロック図である。

【図43】図34の半導体記憶装置におけるプリアンプの構成例を示す回路図である。

【図44】図34の半導体記憶装置におけるセンスアンプの構成例を示す回路図である。

【図45】図34の半導体記憶装置におけるバッファ回路の構成例を示す回路図である。

【図46】図34の半導体記憶装置における遅延回路の構成例を示す回路図である。

【図47】図34の半導体記憶装置におけるラッチ回路の構成例を示す回路図である。

【図48】図34の半導体記憶装置における各信号の関係を示すタイムチャートである。

【図49】図34の半導体記憶装置における温度補償の効果を示すグラフである。

【図50】本発明の第十の実施形態の半導体記憶装置の読出時の状態を示すブロック図である。

【図51】図50の半導体記憶装置における温度補償の効果を示すグラフである。

【図52】従来のTMR素子を使用したメモリセルの動作原理を示す概略斜視図である。

【図53】図52のメモリセルを使用した半導体記憶装置の書込の動作原理を示す概略図である。

【図54】TMR素子のアステロイド特性を示す図である。

【図55】TMR素子およびダイオードを使用した従来

35

の半導体記憶装置の構成例の書込時の状態を示すプロック図である。

【図5.6】従来のMRAM素子を使用したメモリセルの動作原理を示す概略斜視図である。

【図5.7】図5.6のメモリセルを使用した半導体記憶装置の書き込み動作原理を示す概略図である。

【図5.8】従来のTMR素子およびMRAM素子のアステロイド特性の温度依存性を示すグラフである

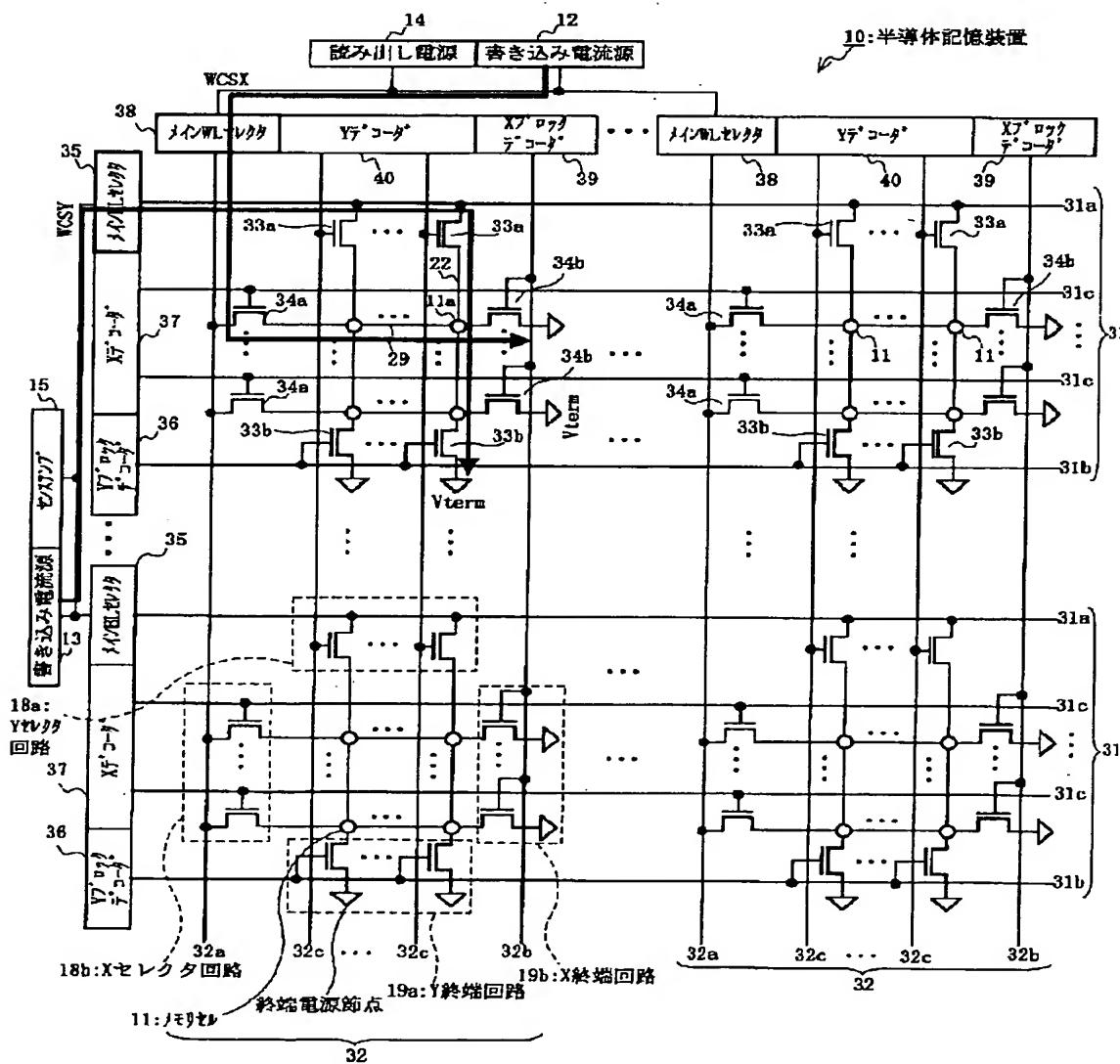
【図 5.9】(A) は、従来の TMR 素子の電圧依存性を示すグラフである。(B) は、従来の TMR 素子の温度依存性をしめるグラフである。(C) は、従来の TMR

\* 素子の M R 比および電流差の温度依存性を示すグラフである。

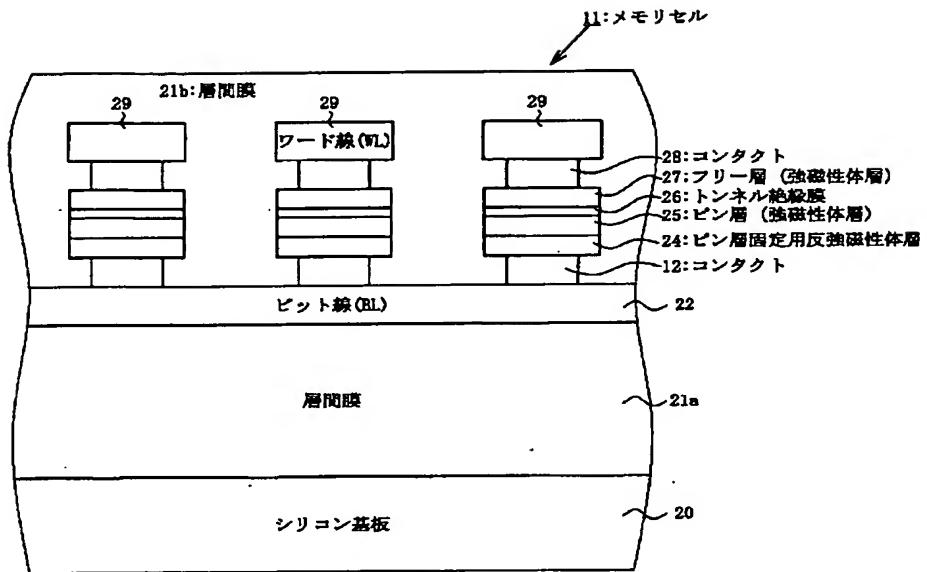
### 【符号の説明】

- 10, 70, 80, 90, 100, 110, 120, 1  
 30, 140, 150 半導体記憶装置  
 11, 91 メモリセル (TMR 素子)  
 12, 13 書込電流源  
 14 読出電源  
 15 センスアンプ  
 16 メモリセルアレイ  
 17 終端電源

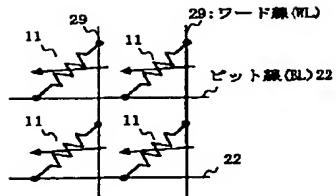
### (圖 1)



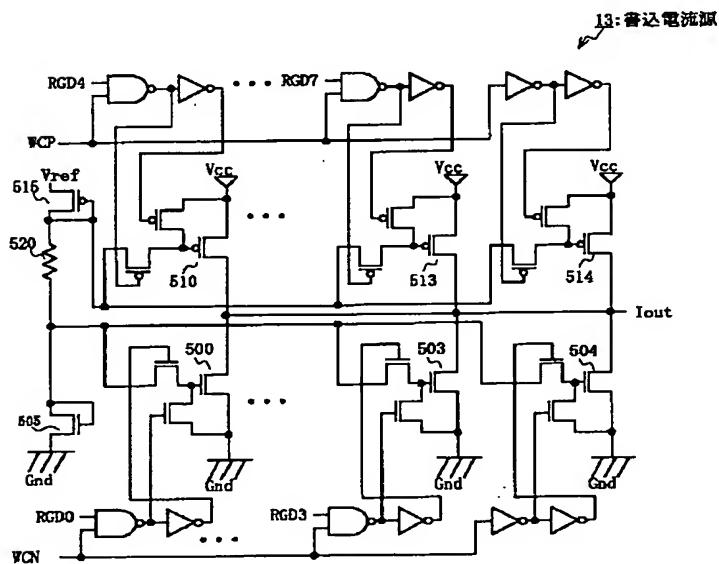
【図2】



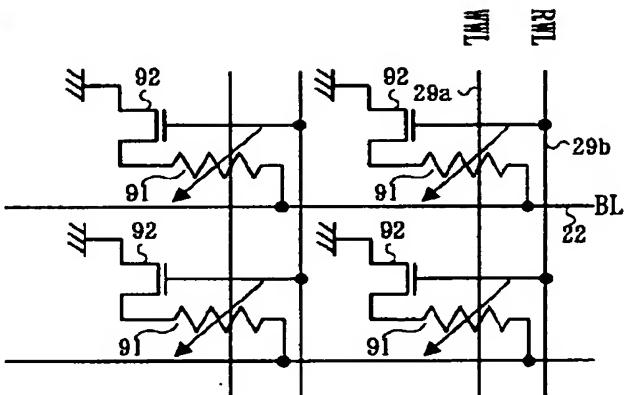
【図3】



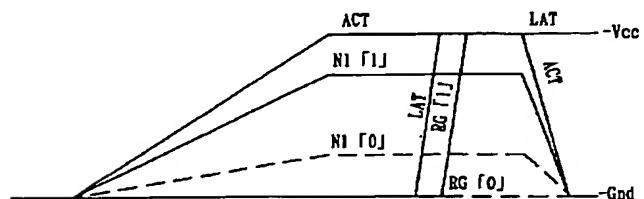
【図5】



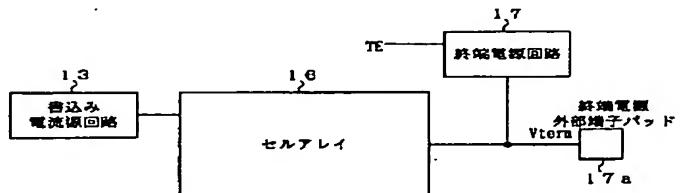
【図24】



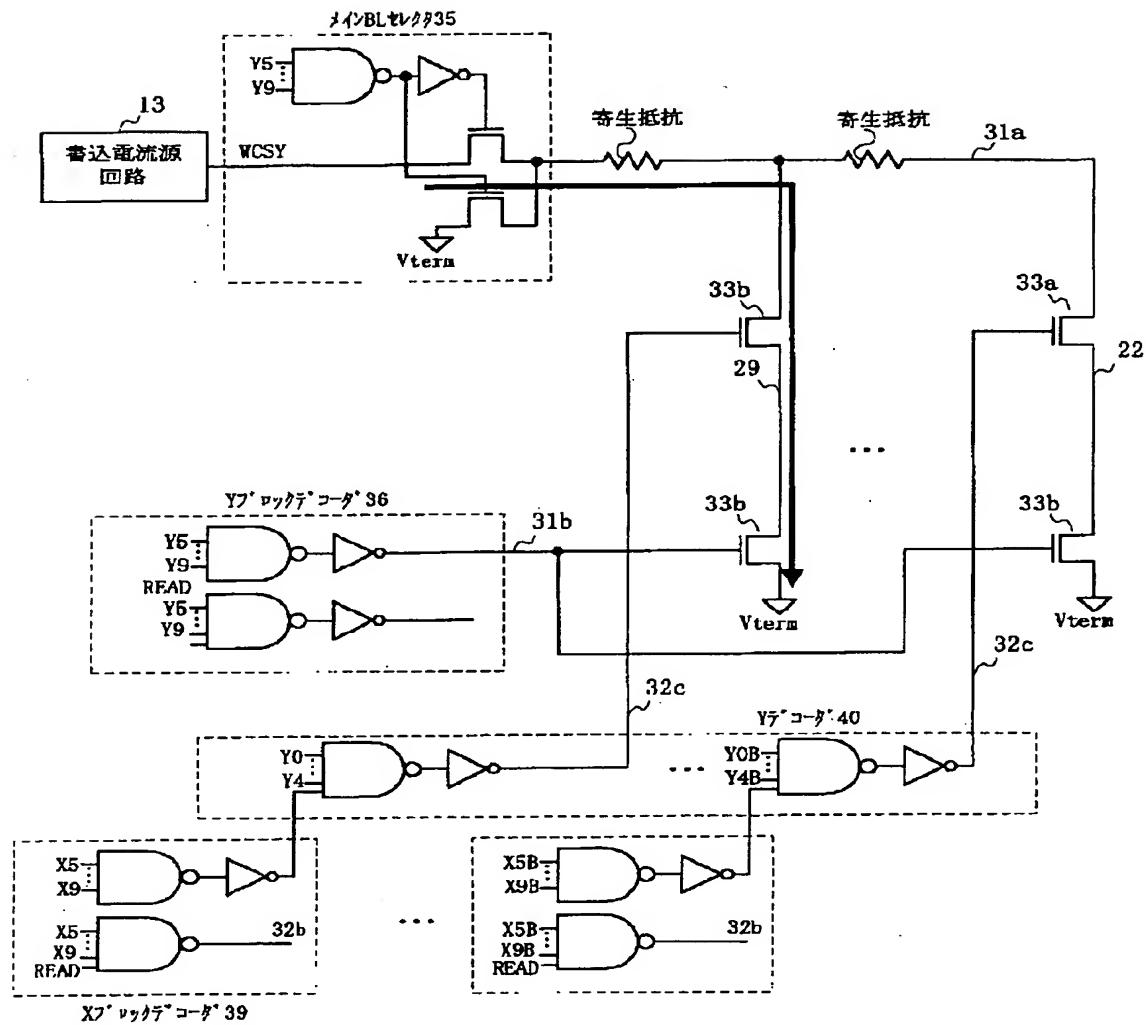
【図9】



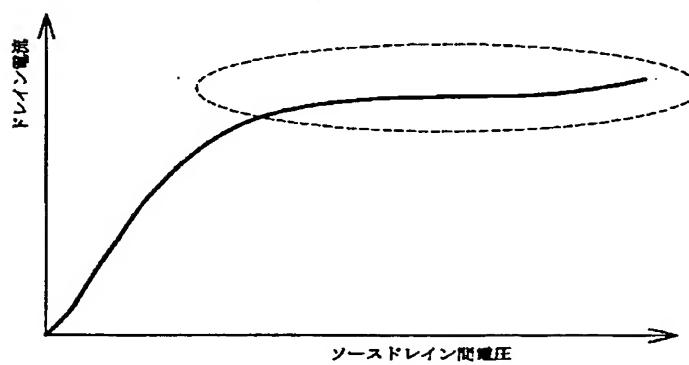
【図11】



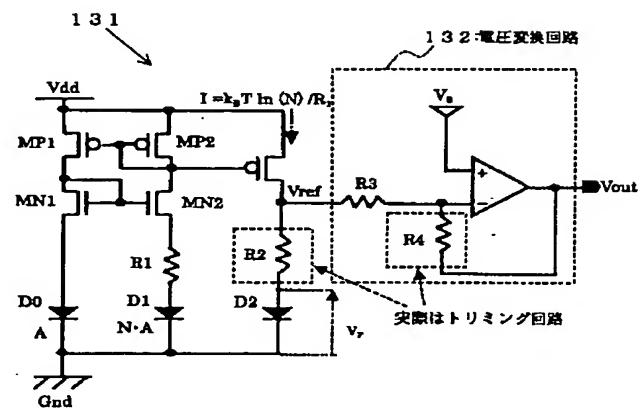
【図4】



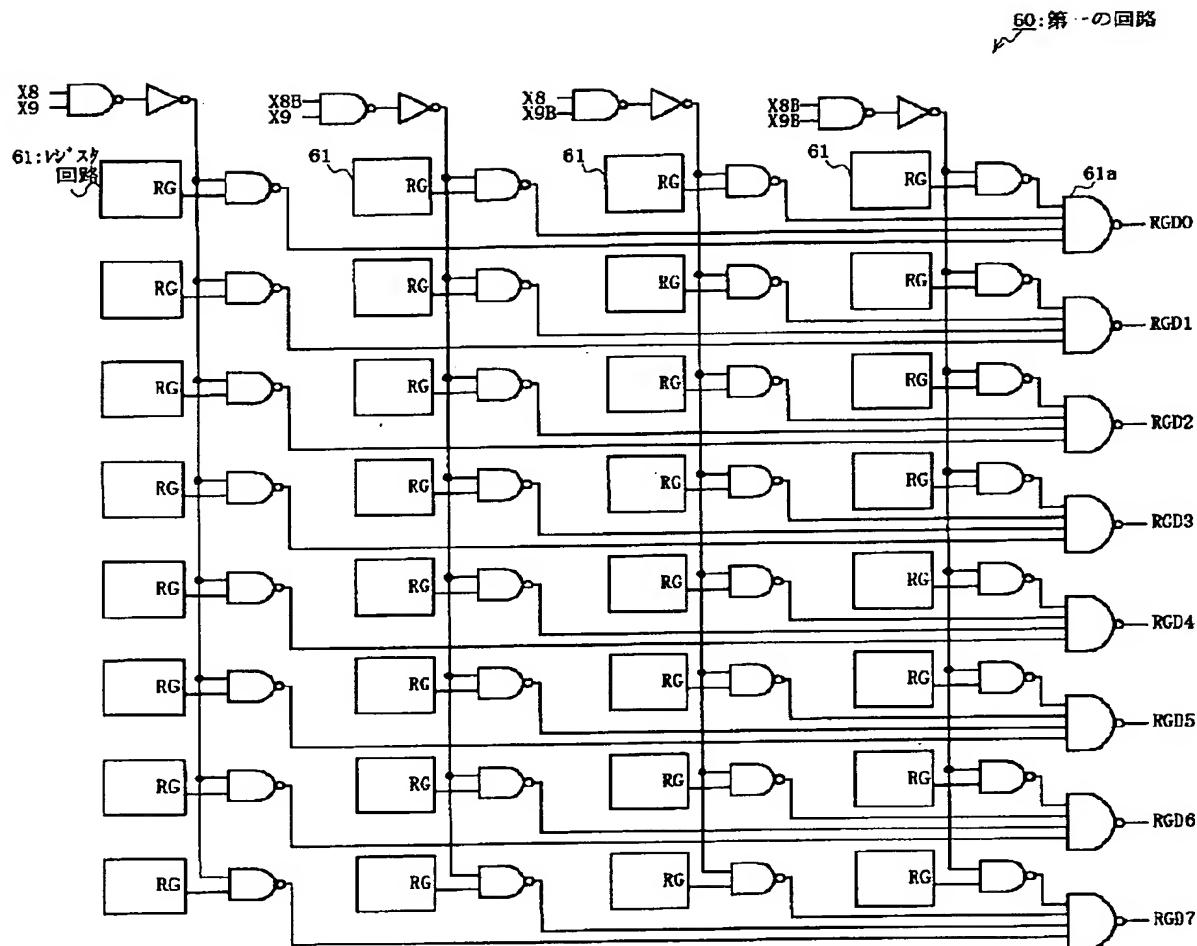
【図6】



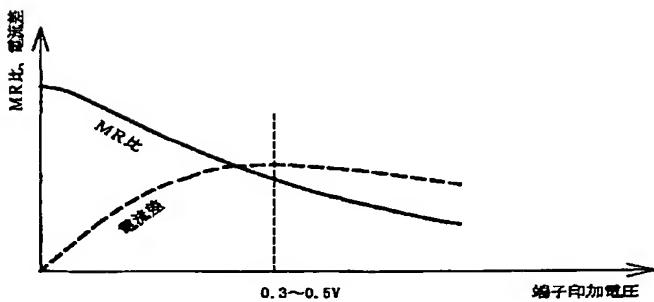
【図35】



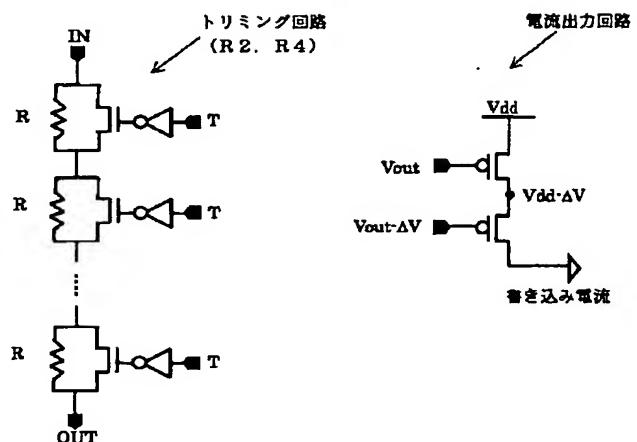
【図7】



【図10】

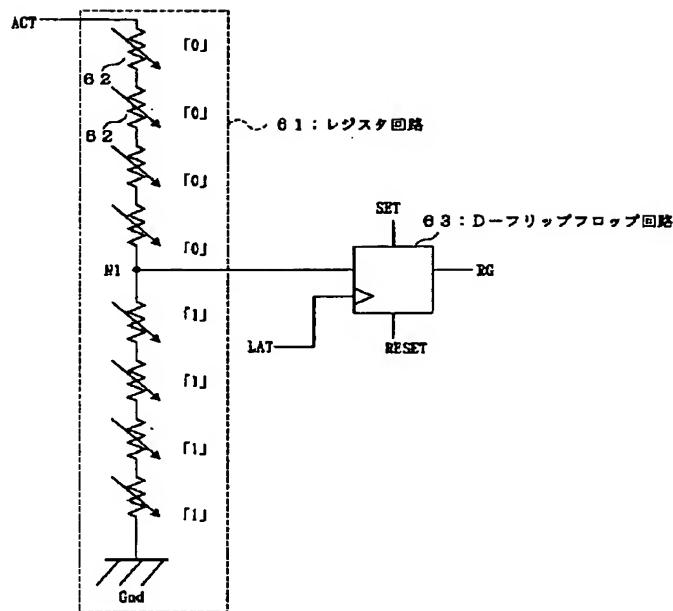


【図36】

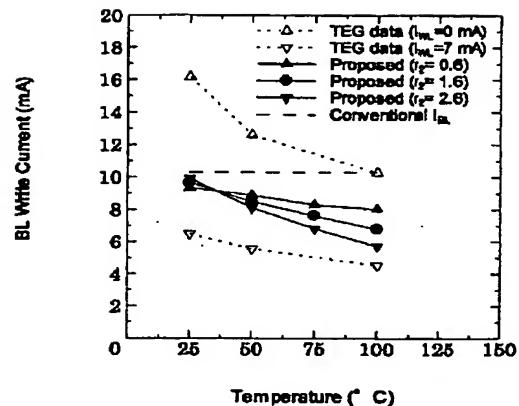


【図37】

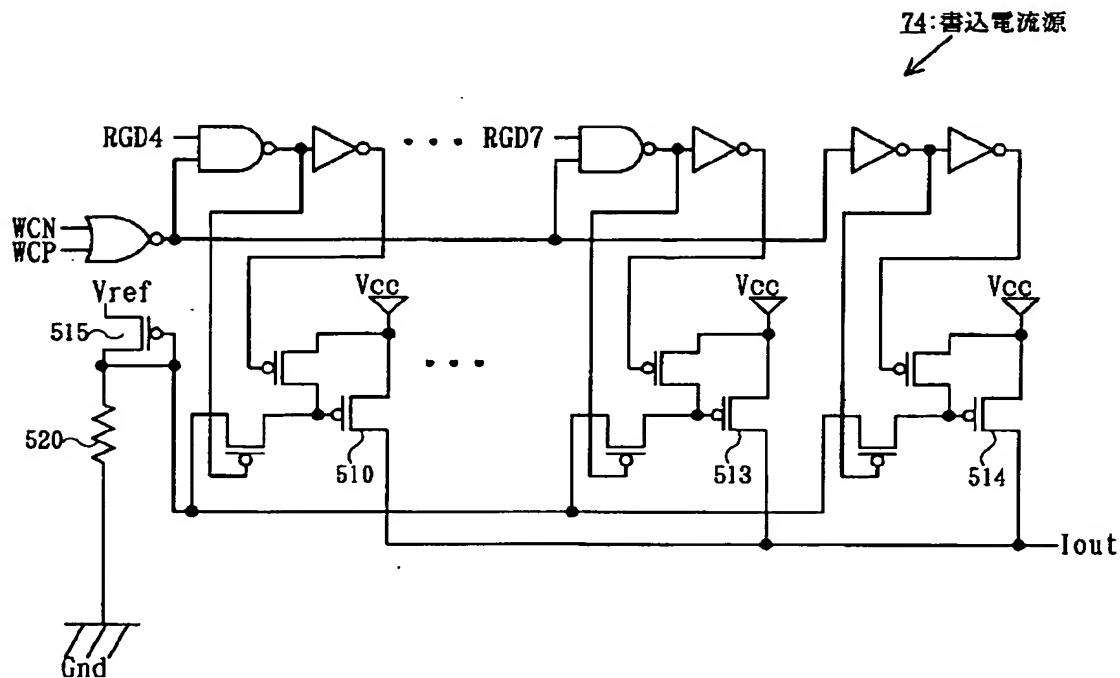
【図8】



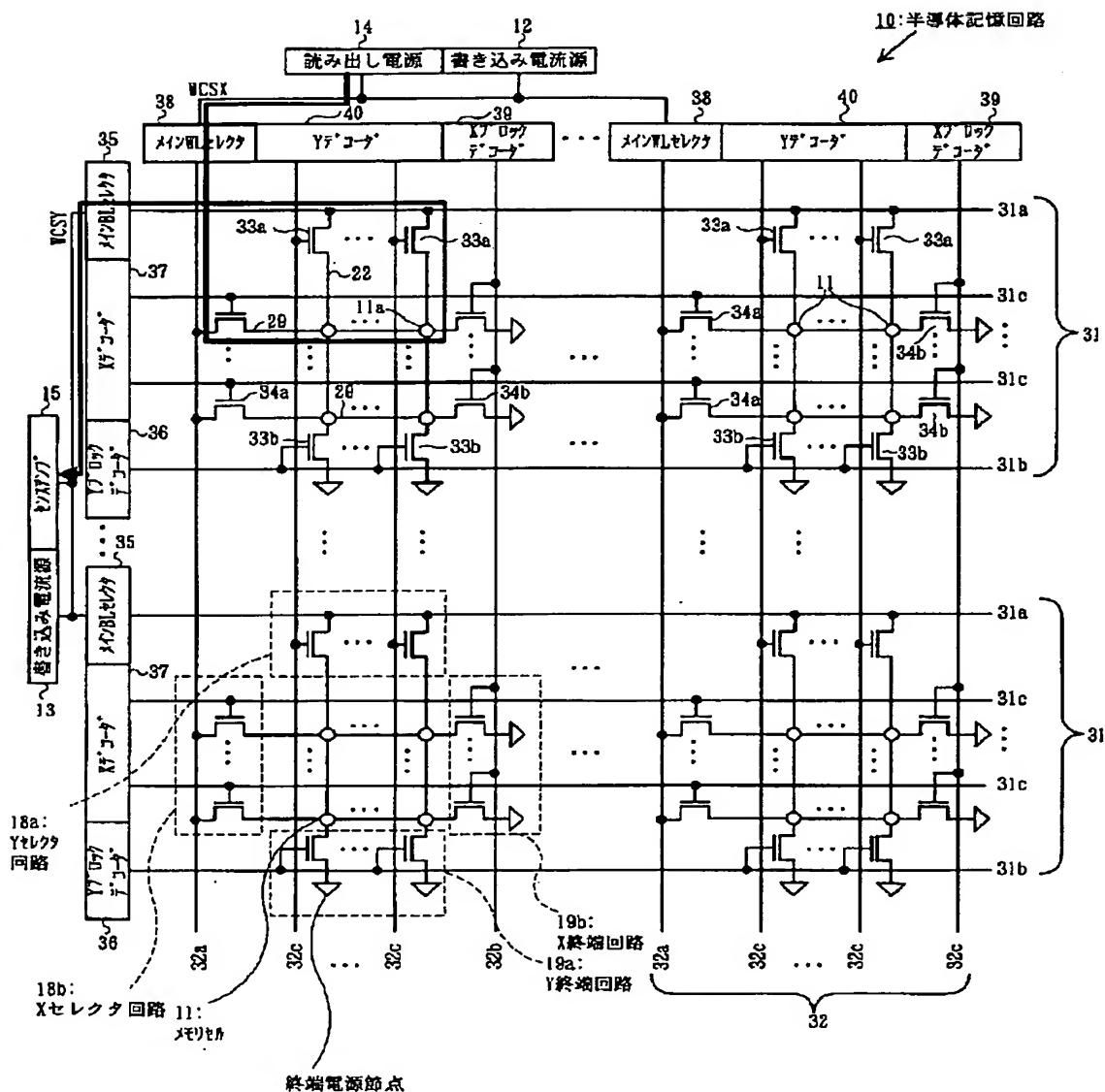
【図38】



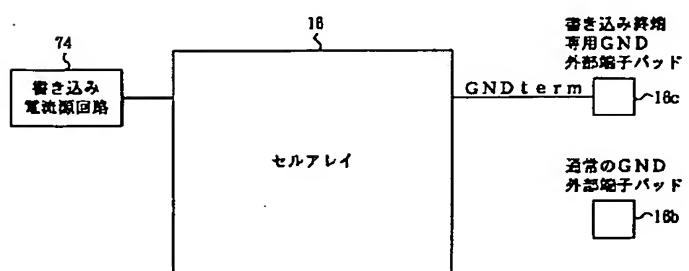
【図15】



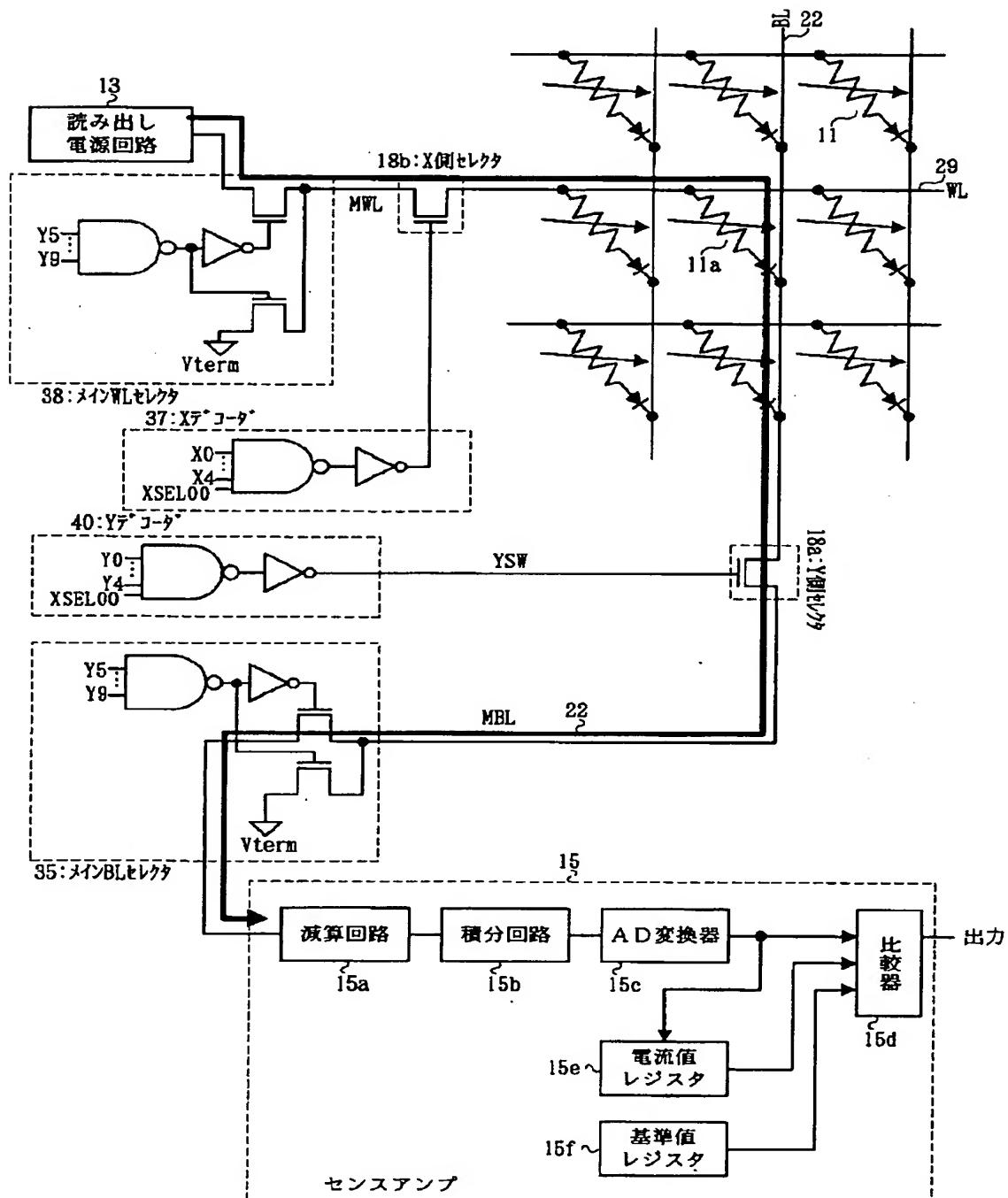
[図12]



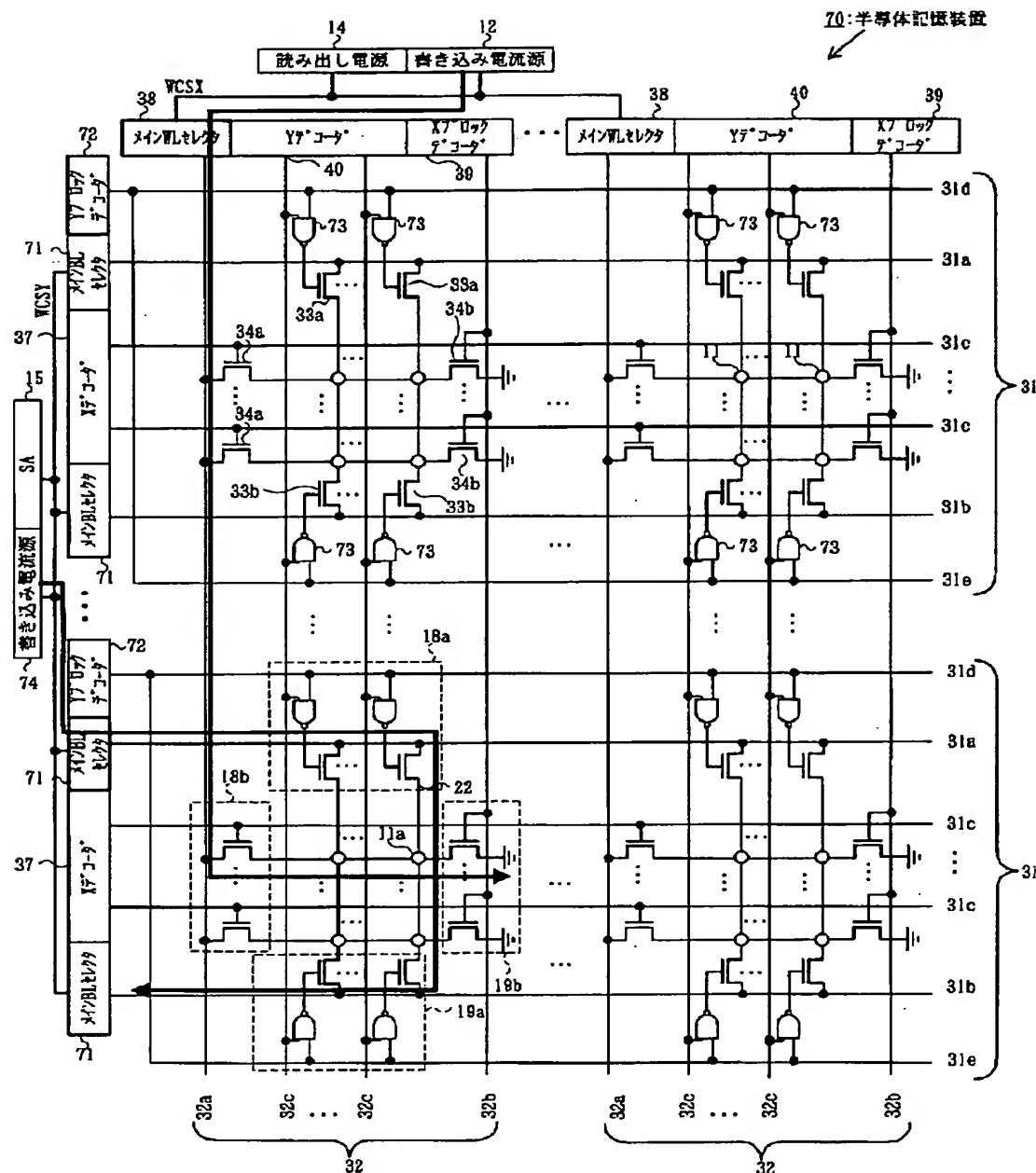
【図18】



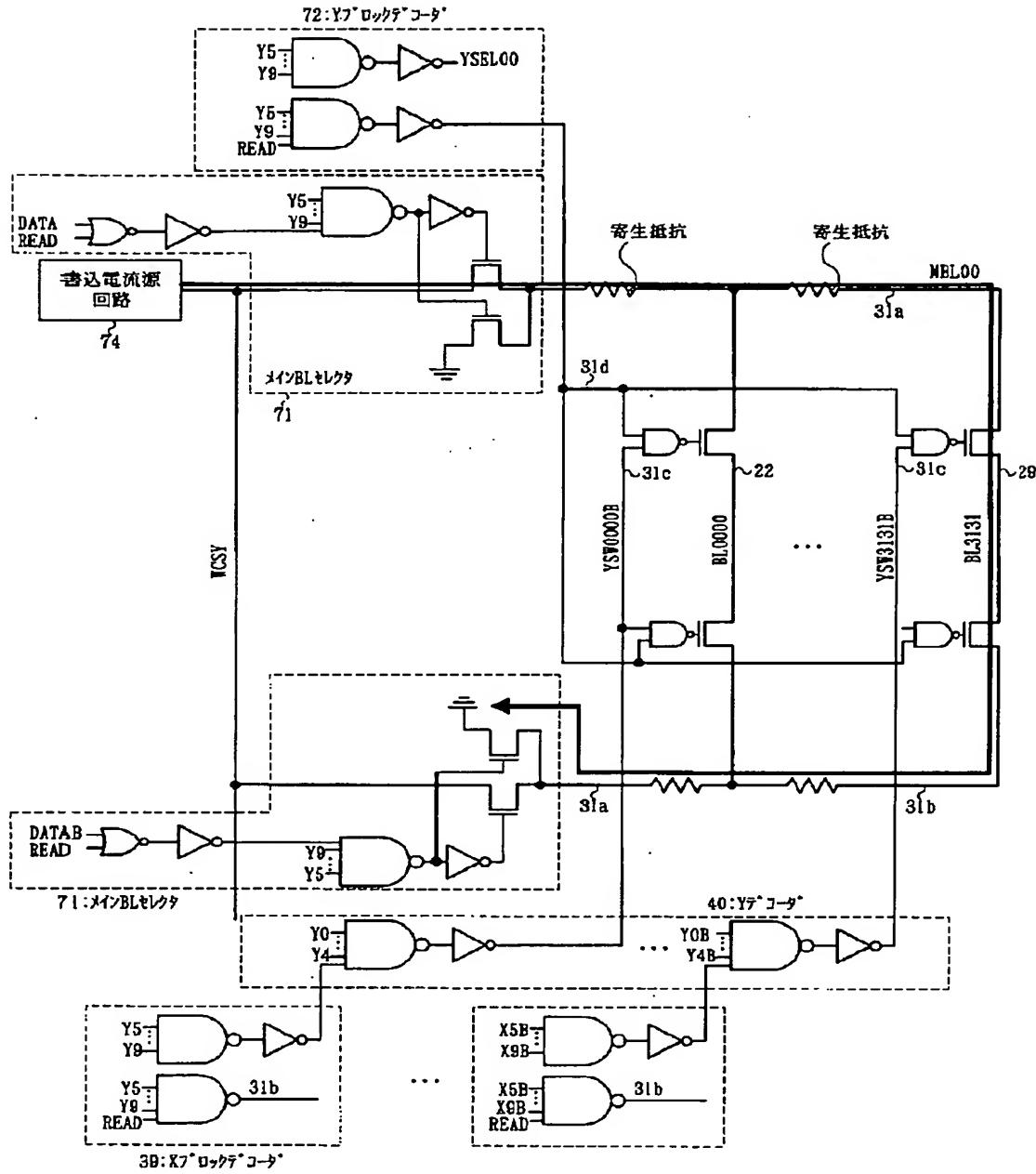
【図13】



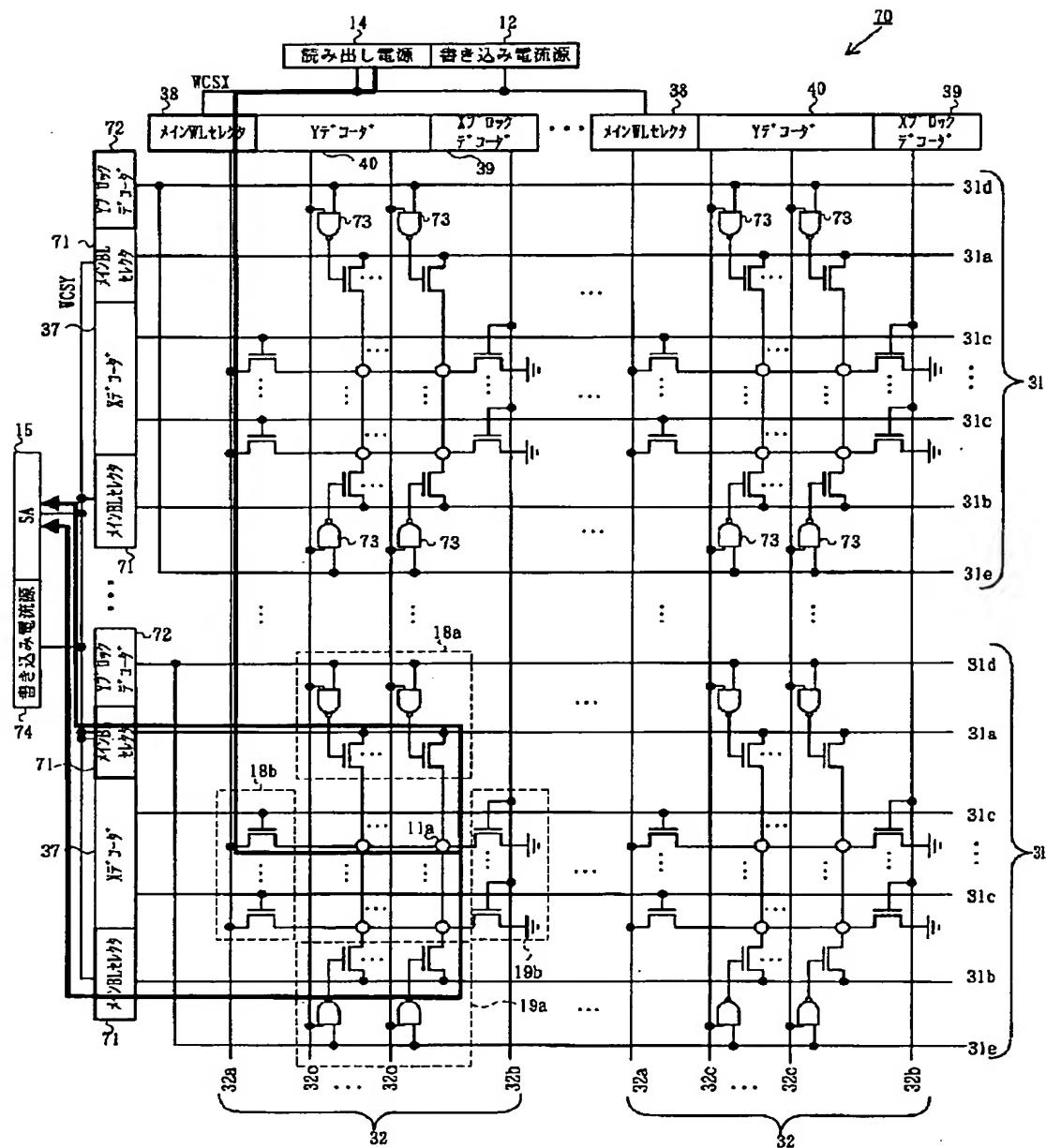
【図14】



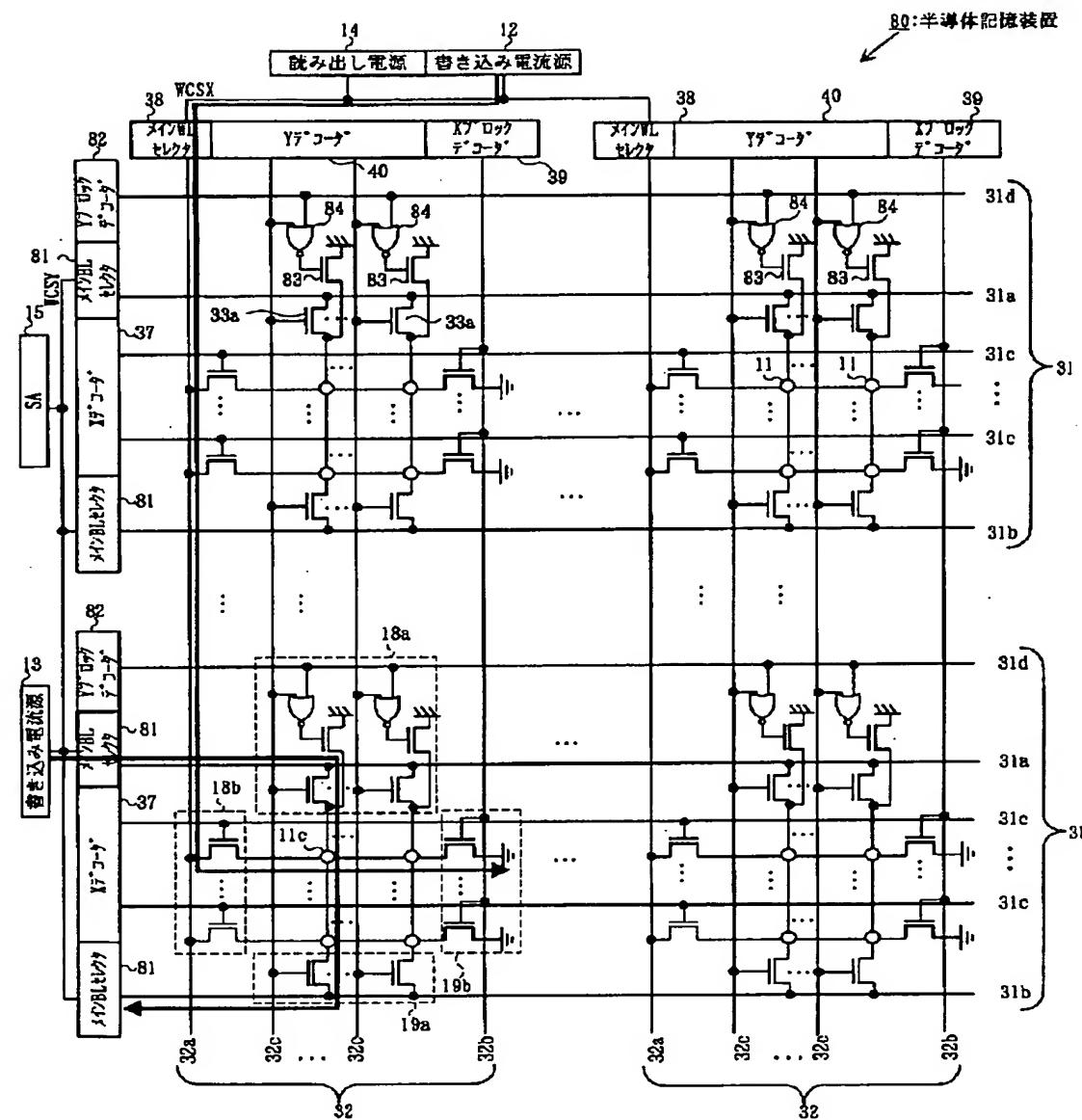
【図16】



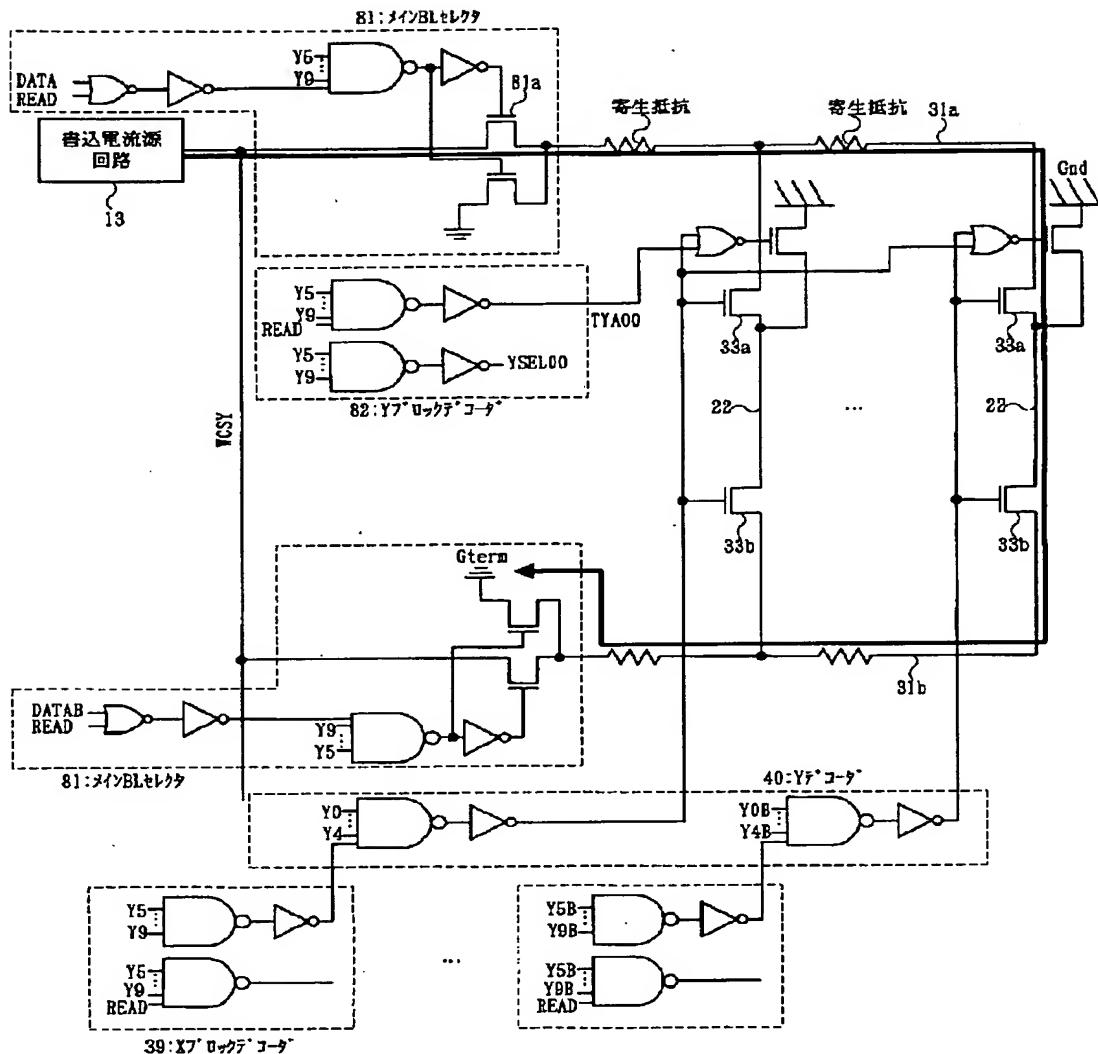
【図17】



【図19】

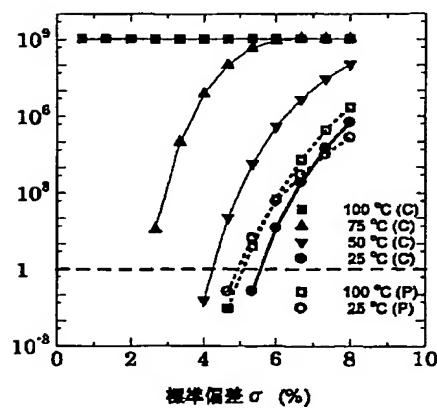


【図20】

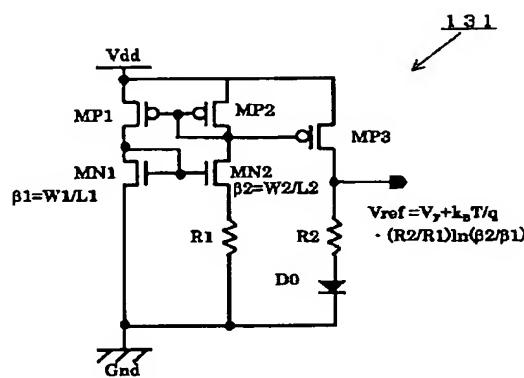


【図39】

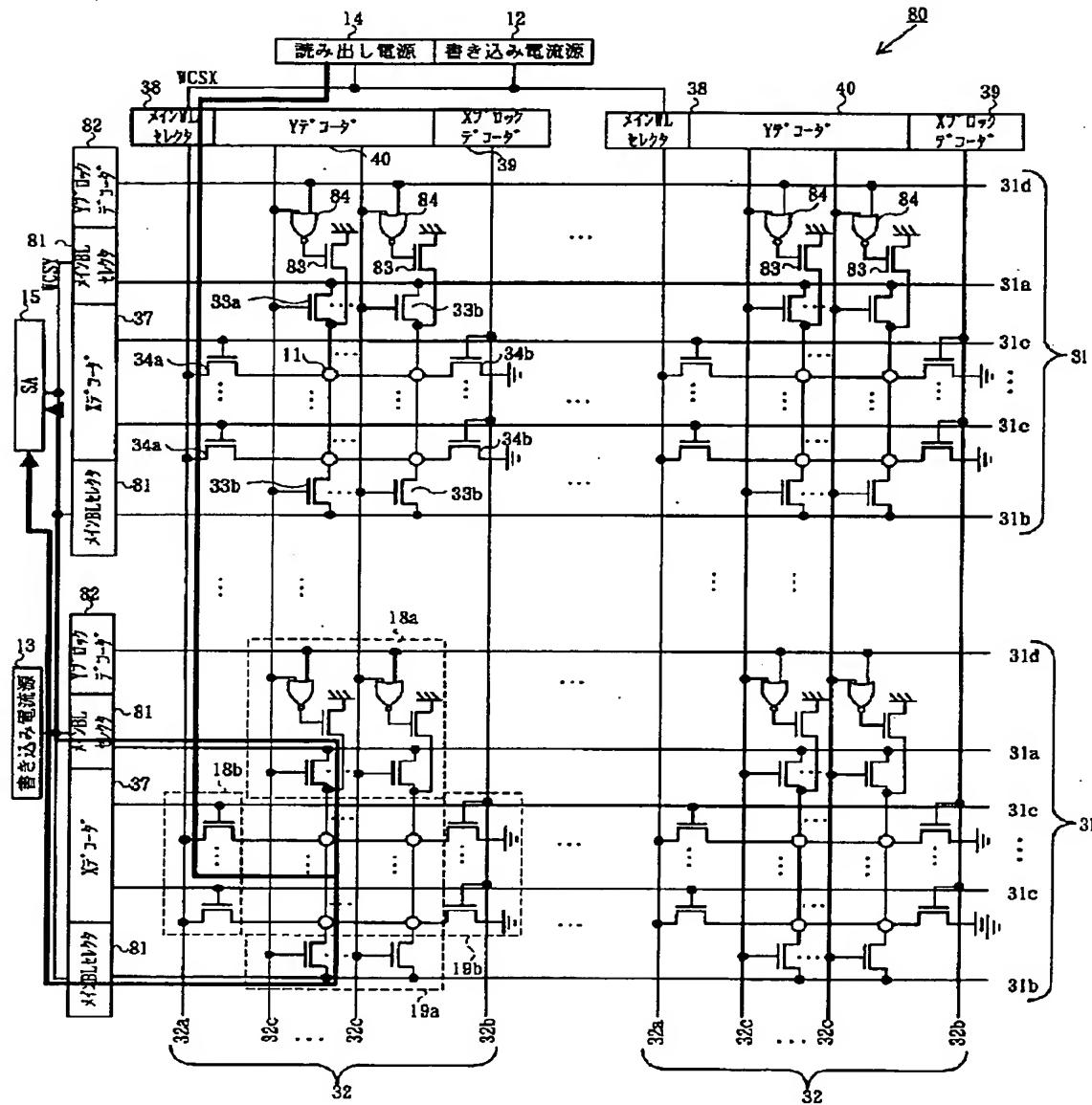
多量産セミ(1Gb中)



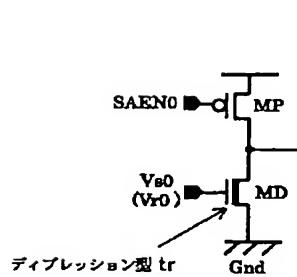
【図40】



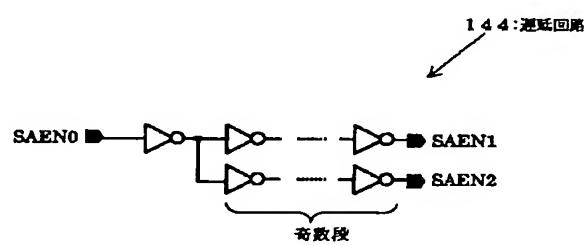
【図21】



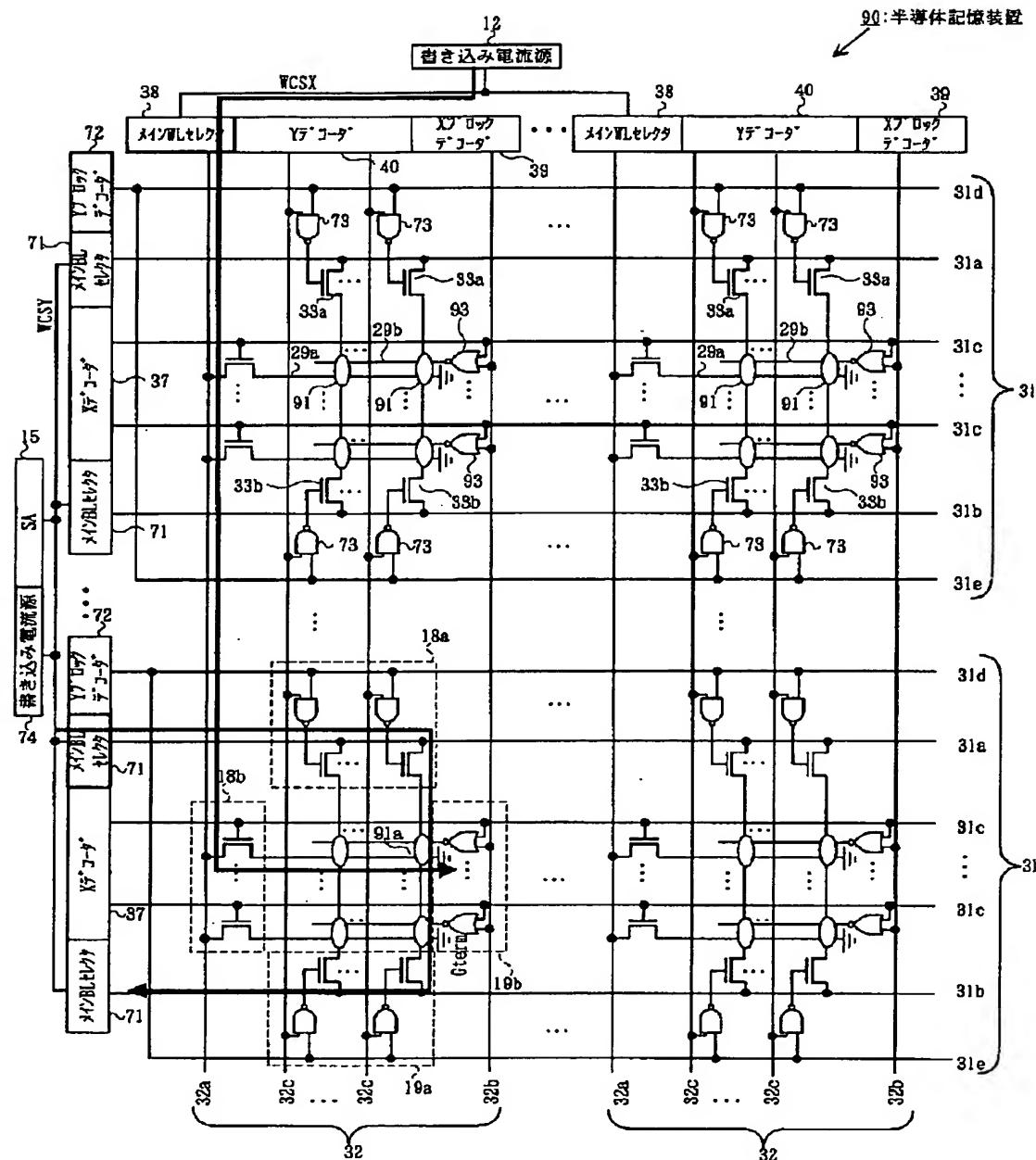
【図45】



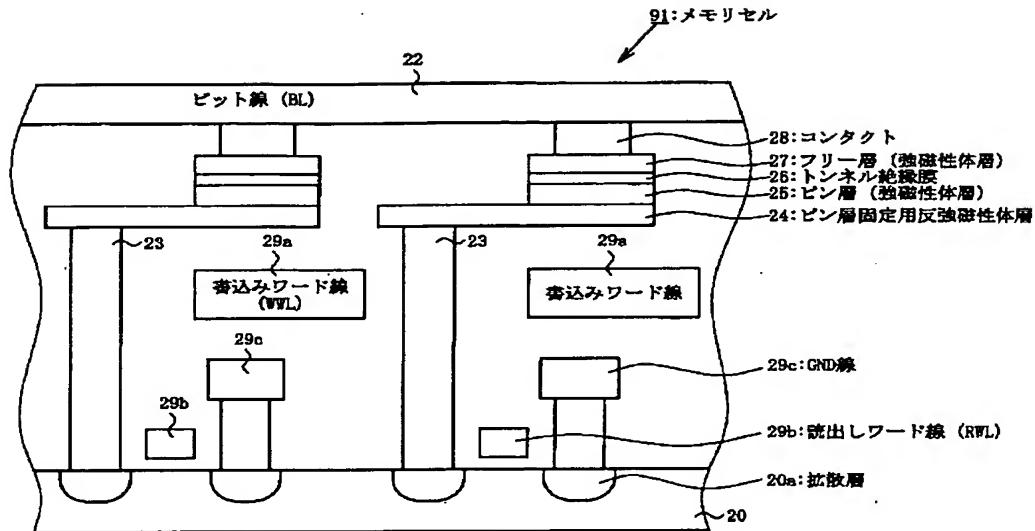
【図46】



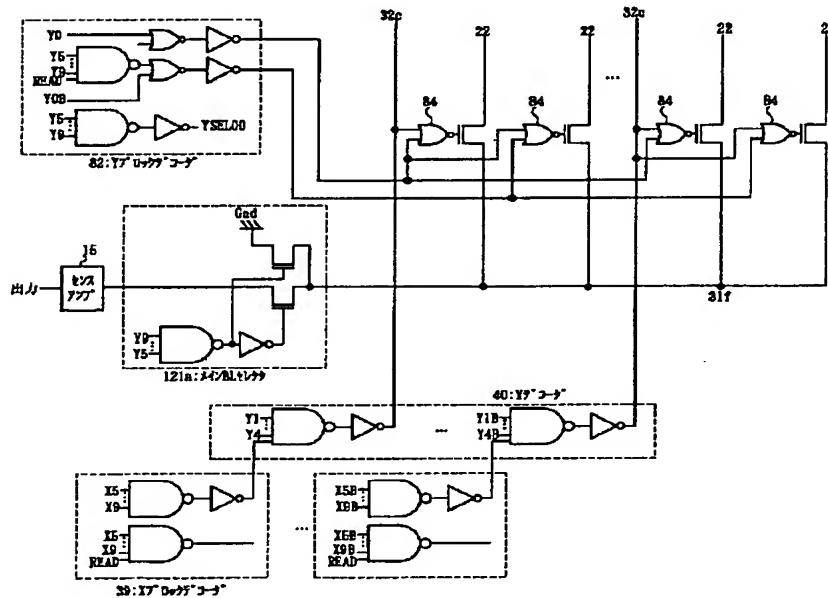
【図22】



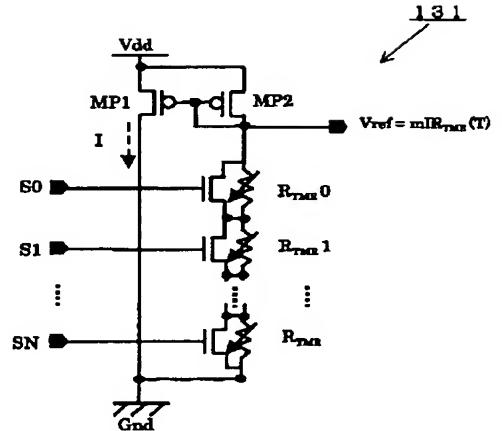
【図23】



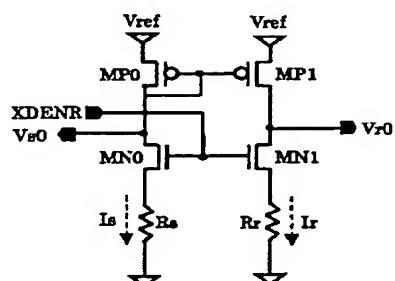
【図33】



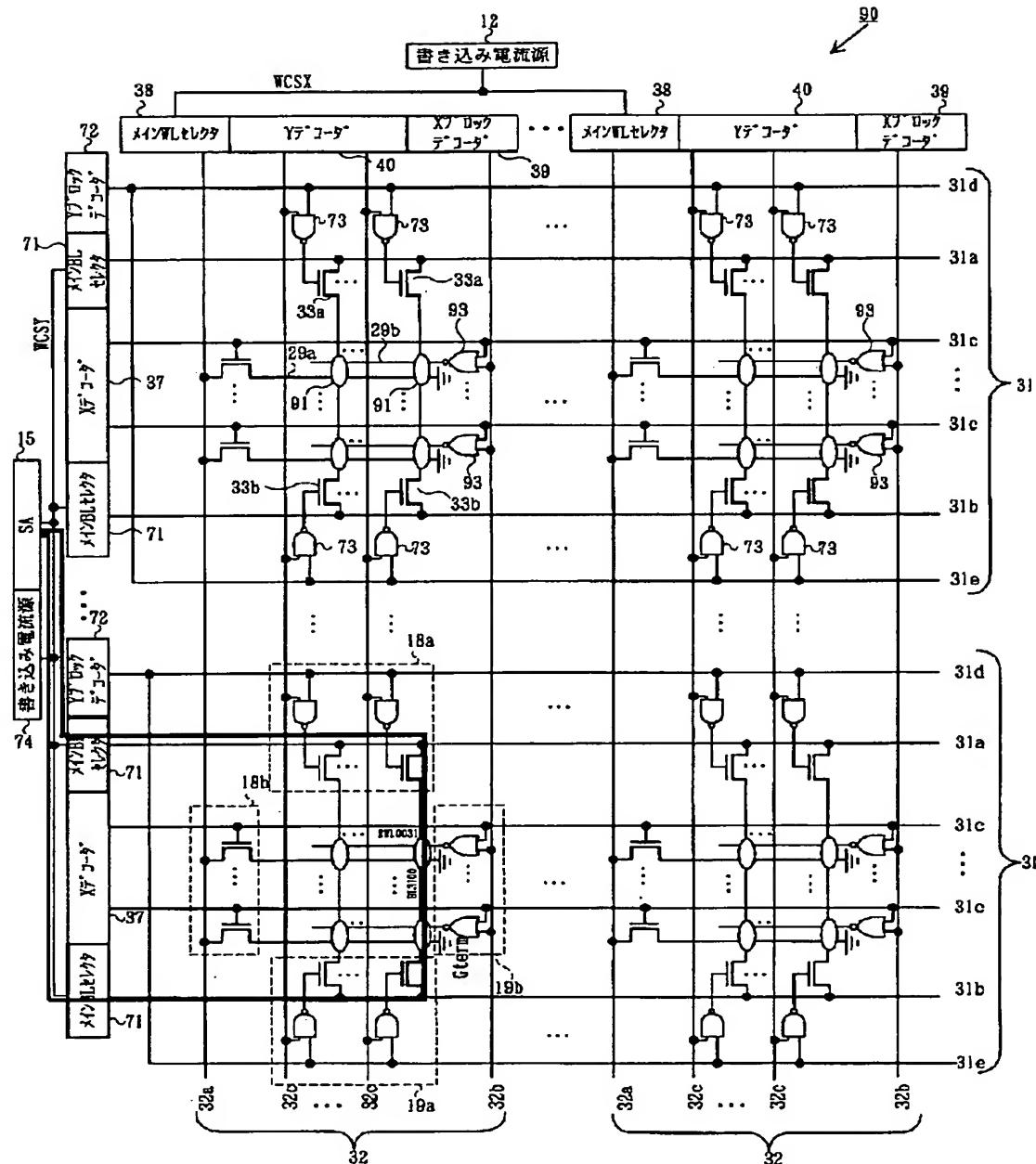
【図41】



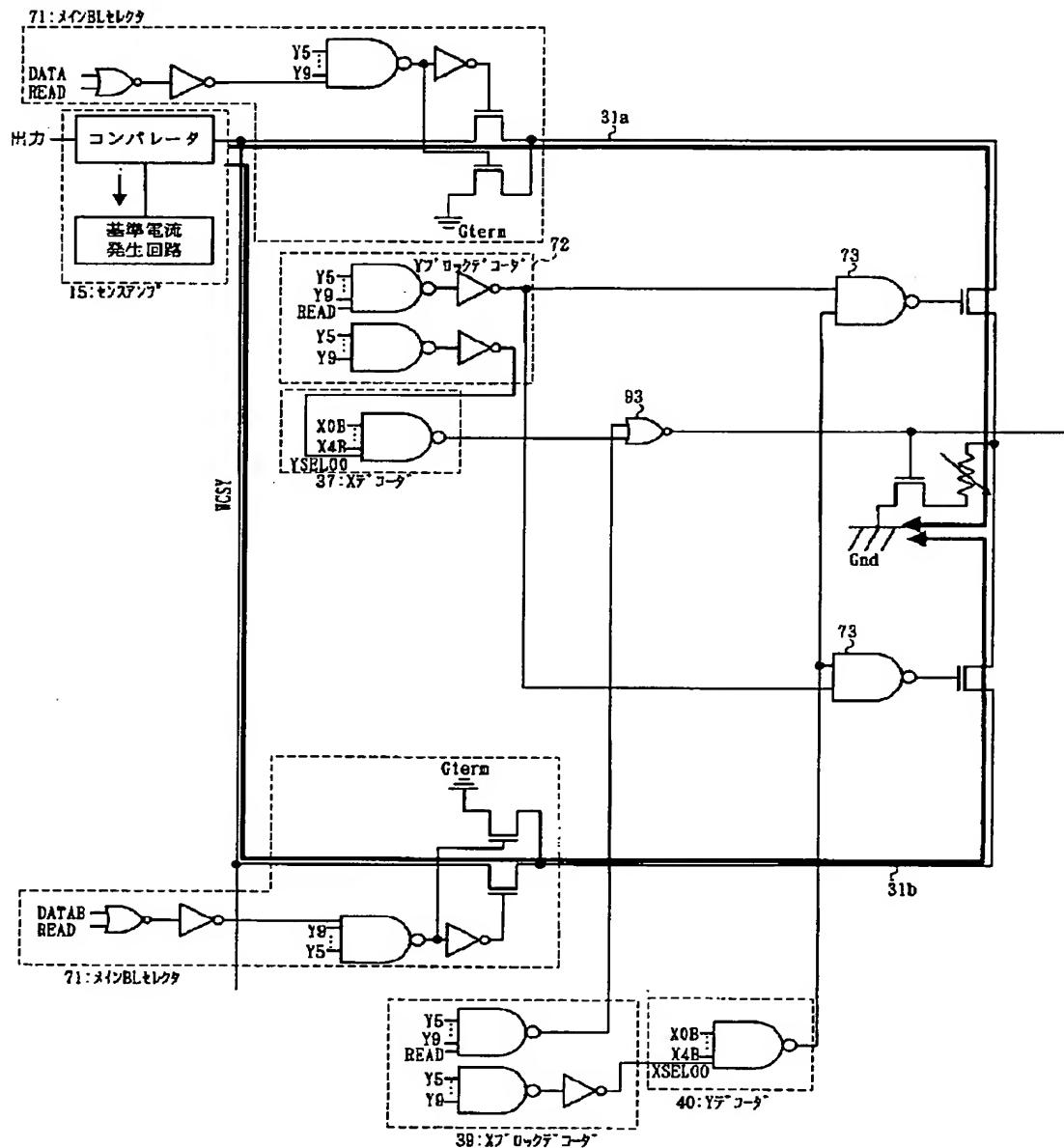
【図43】



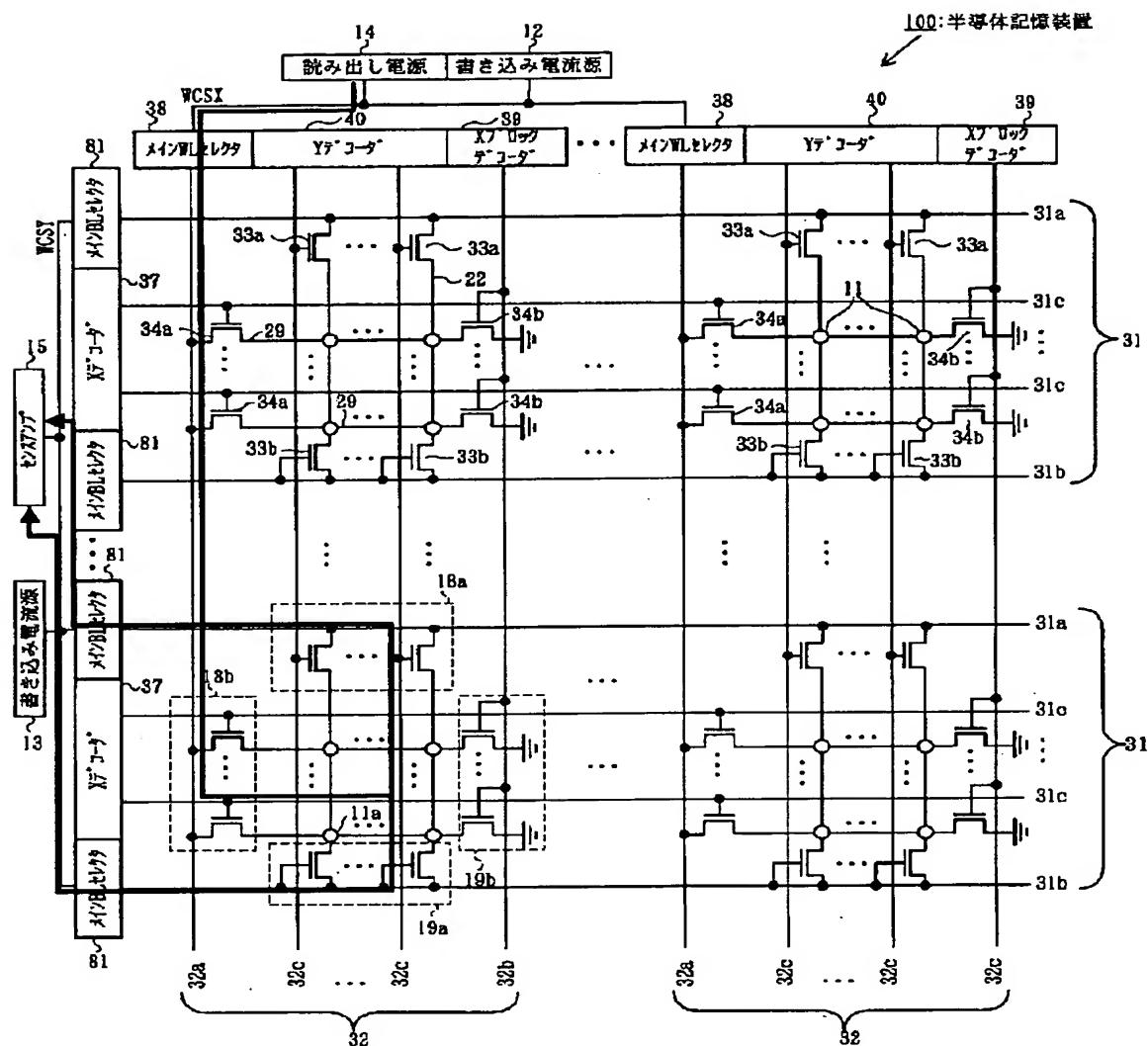
【图25】



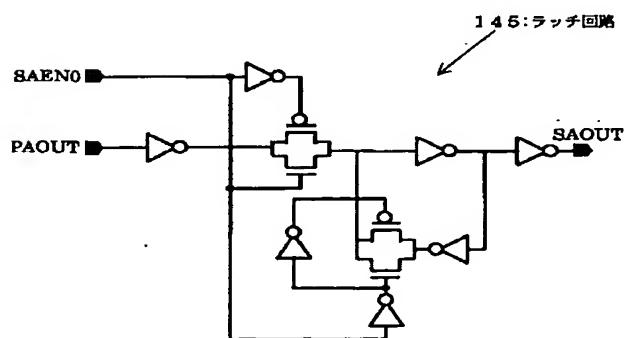
【図26】



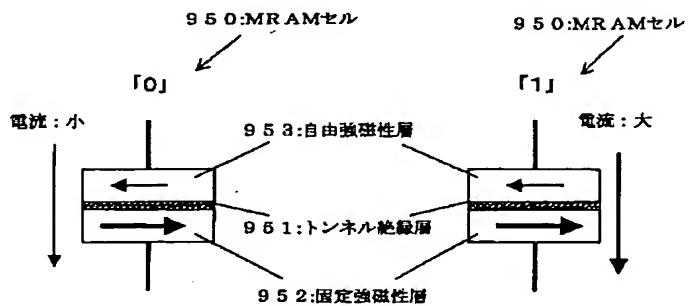
【図27】



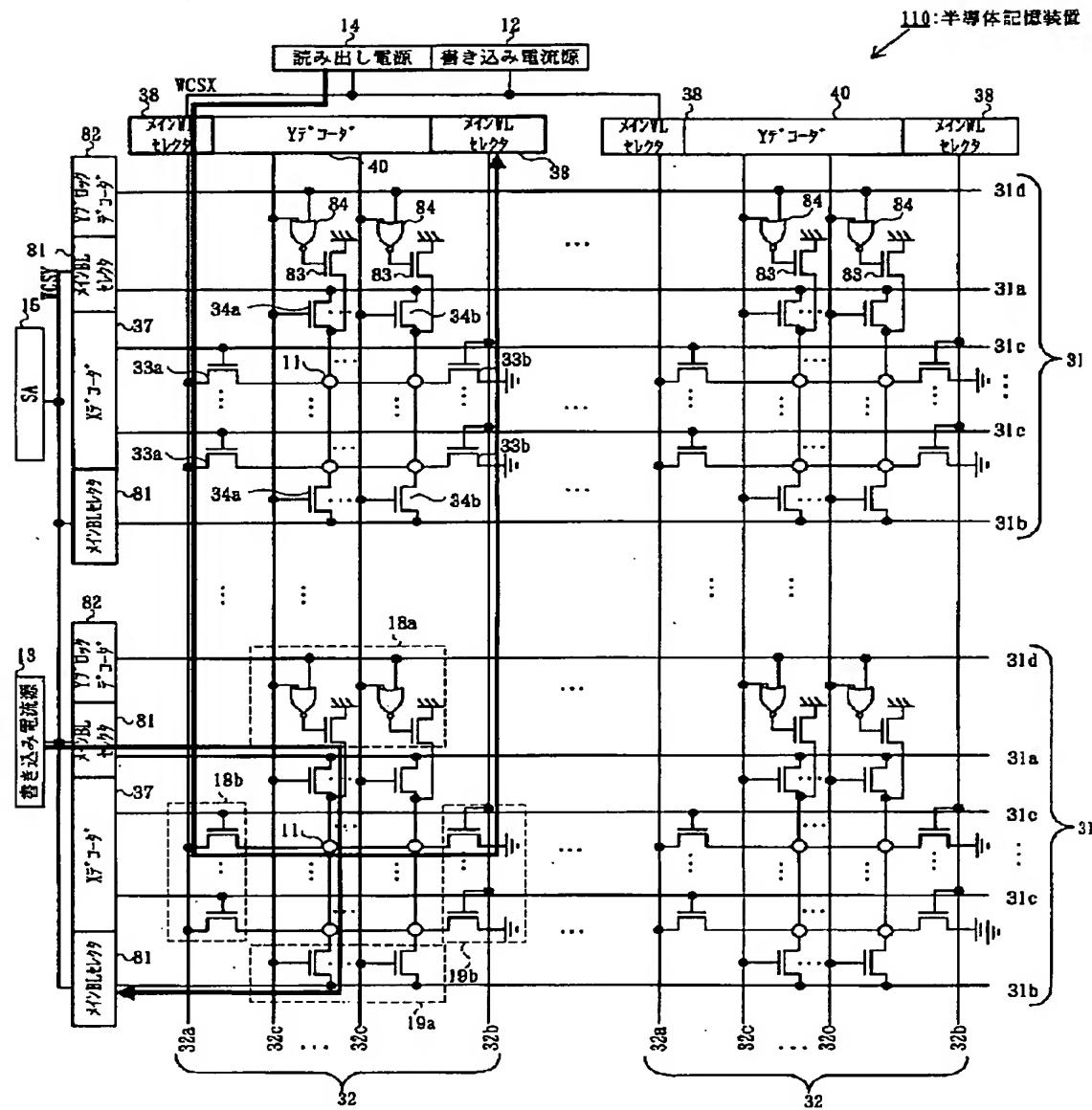
【図47】



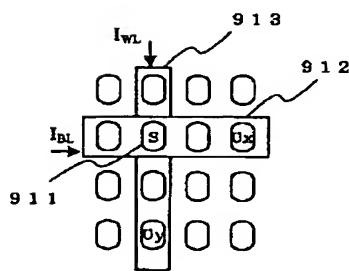
【図56】



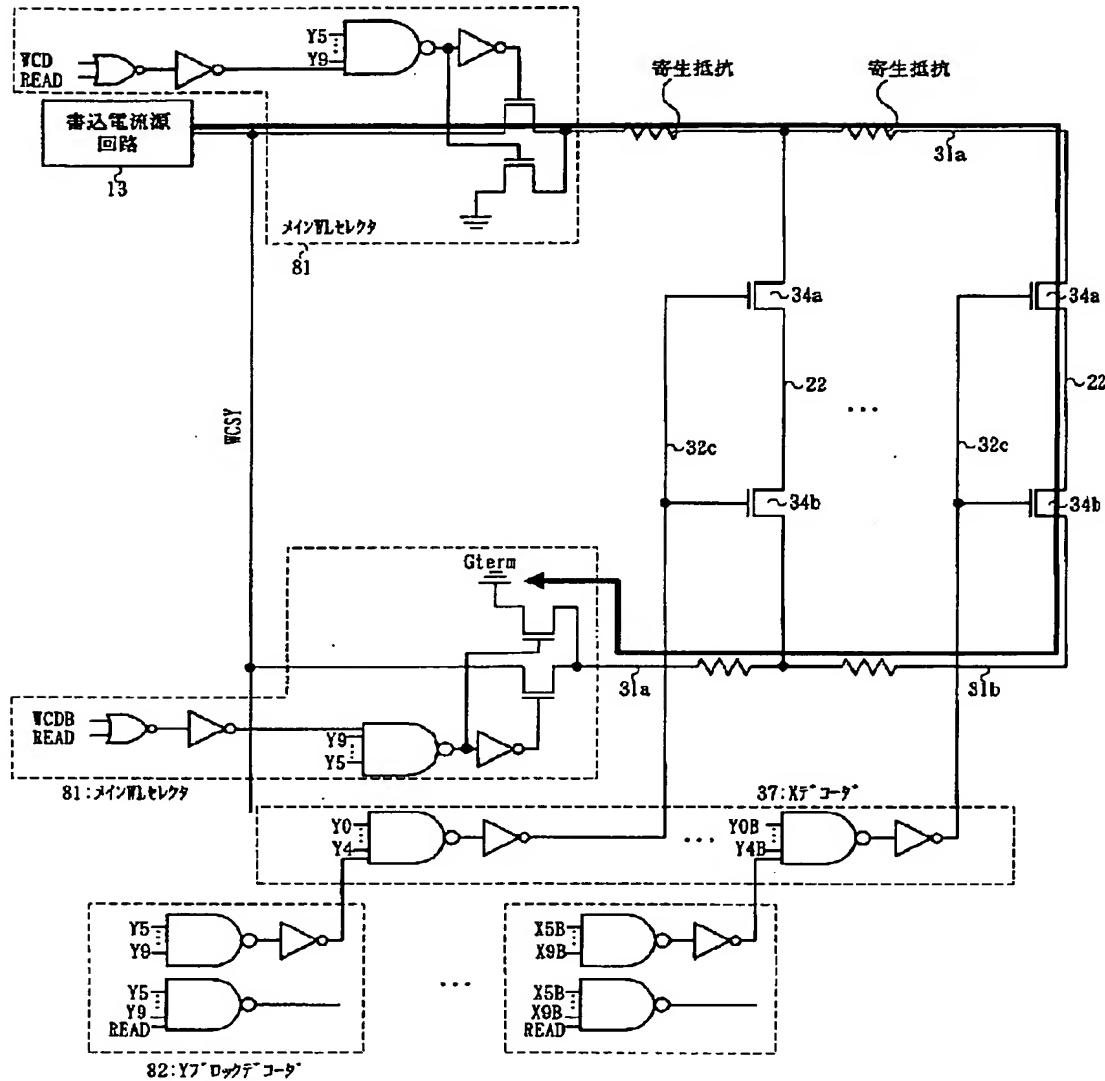
【図28】



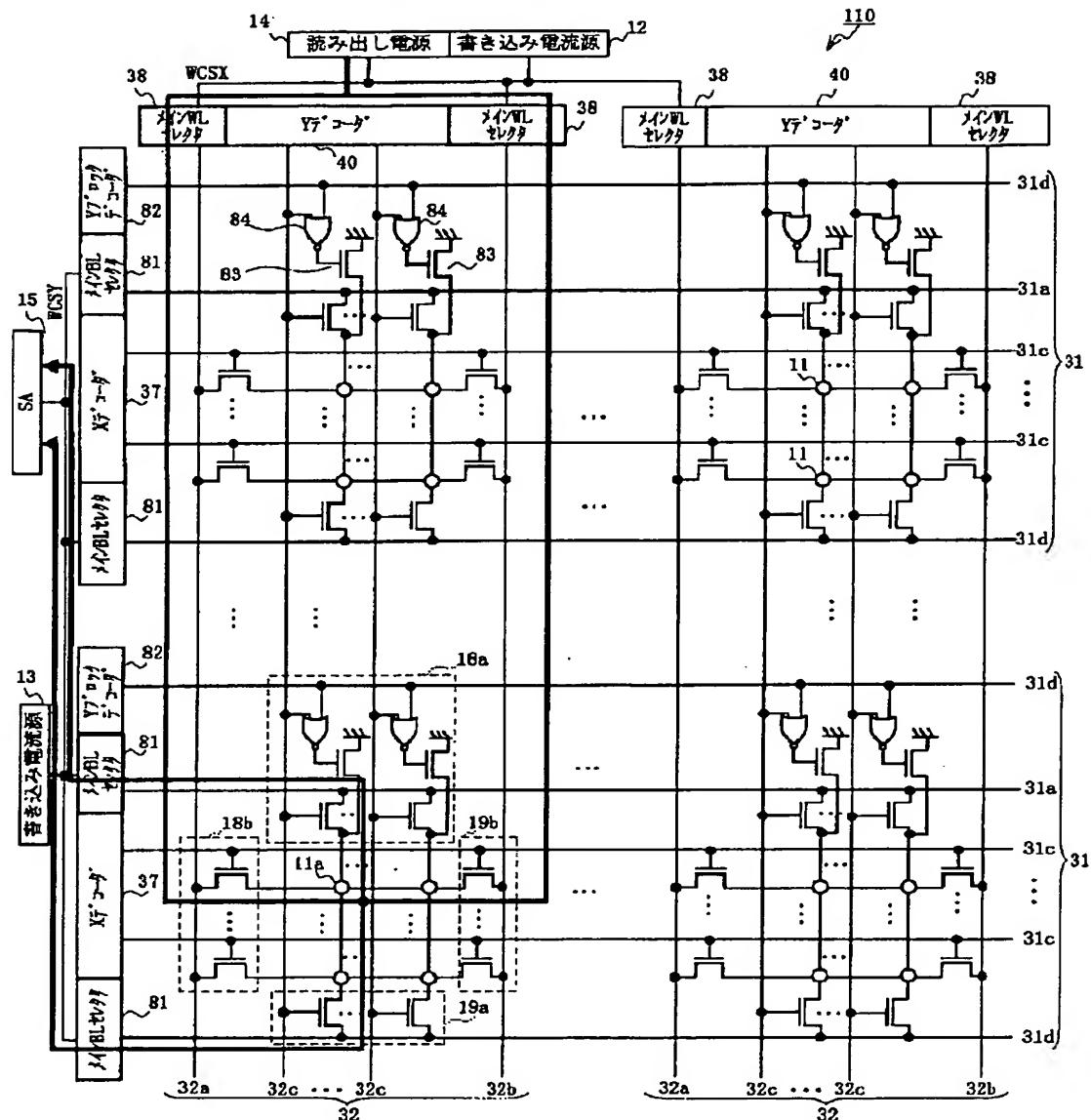
【図57】



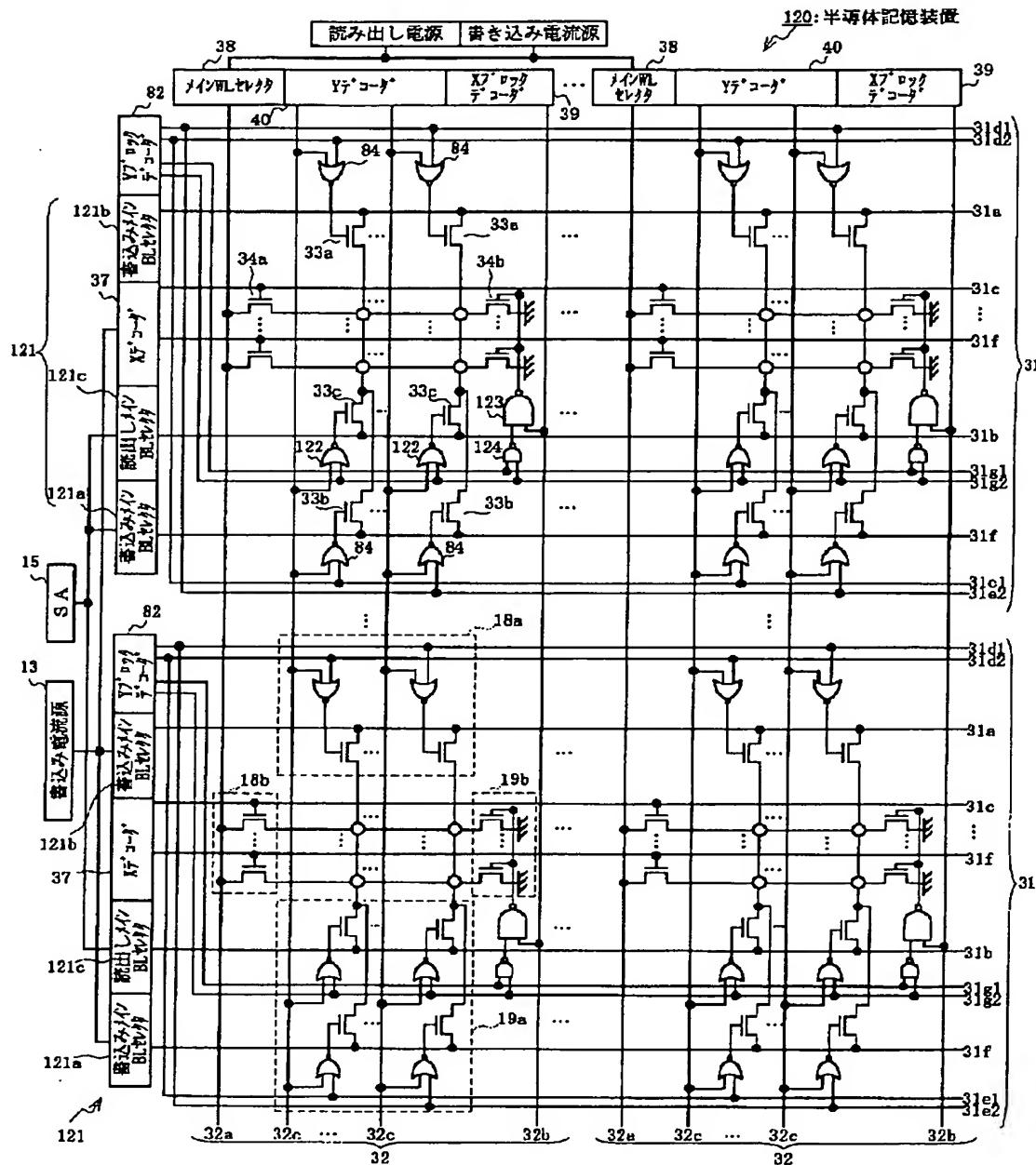
【図29】



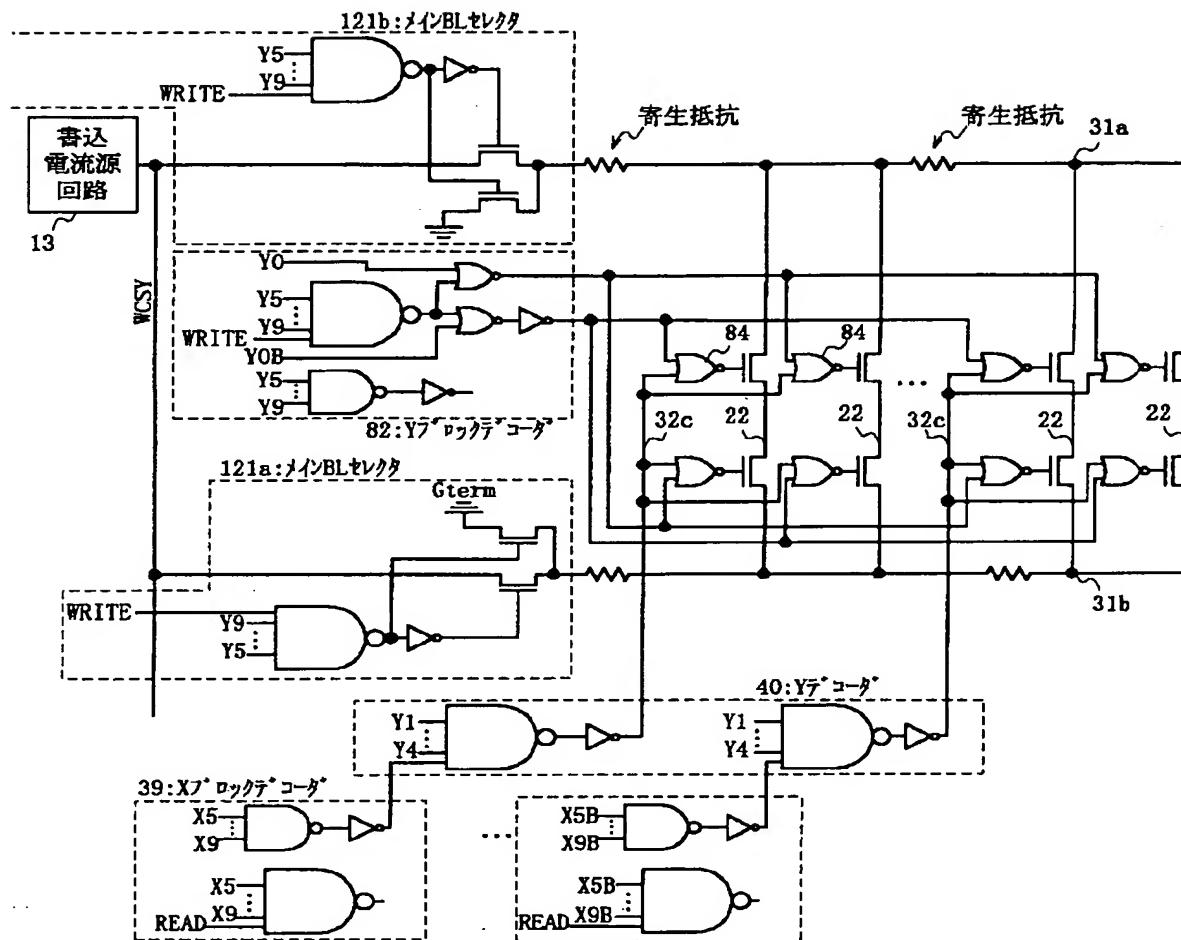
【図30】



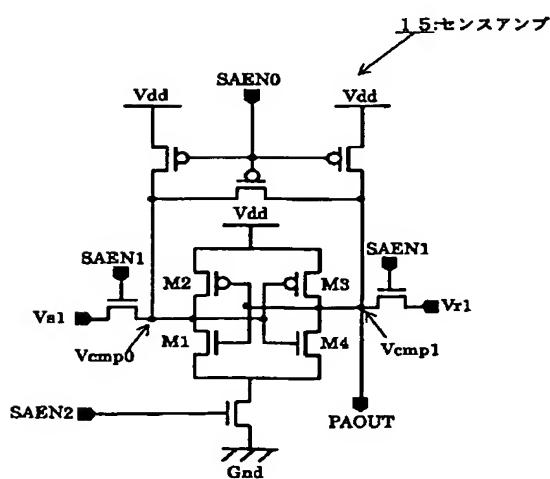
【図31】



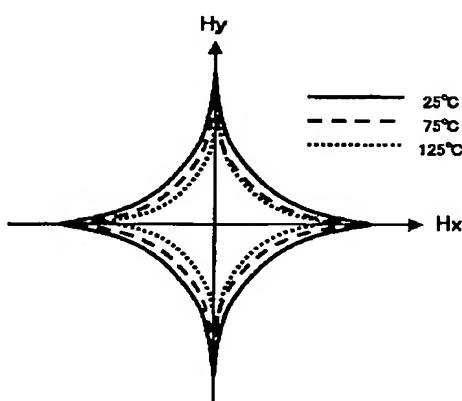
【図32】



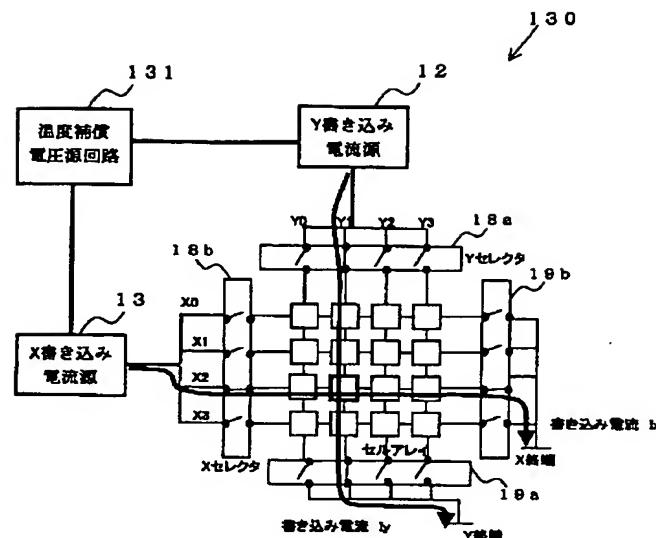
【図44】



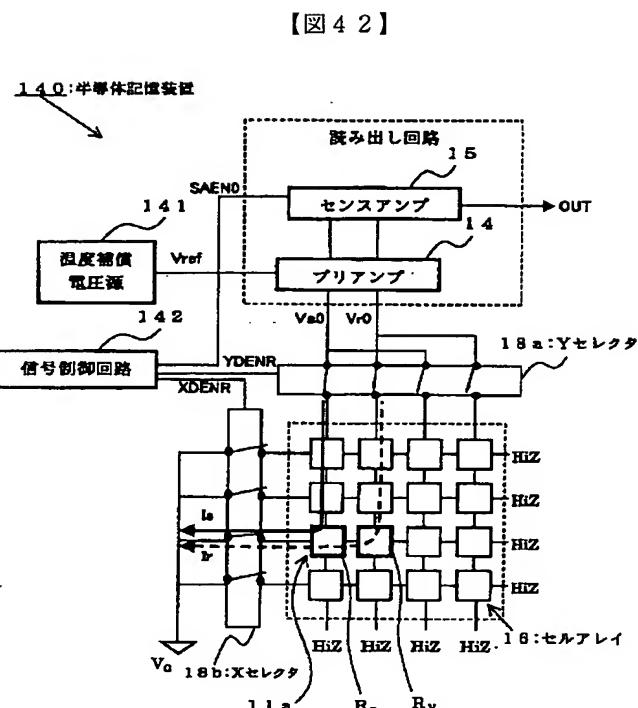
【図58】



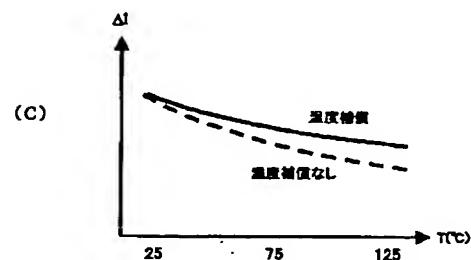
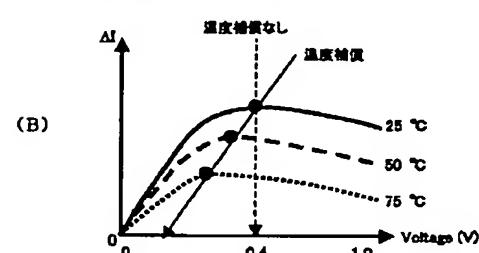
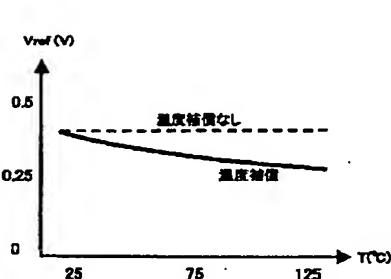
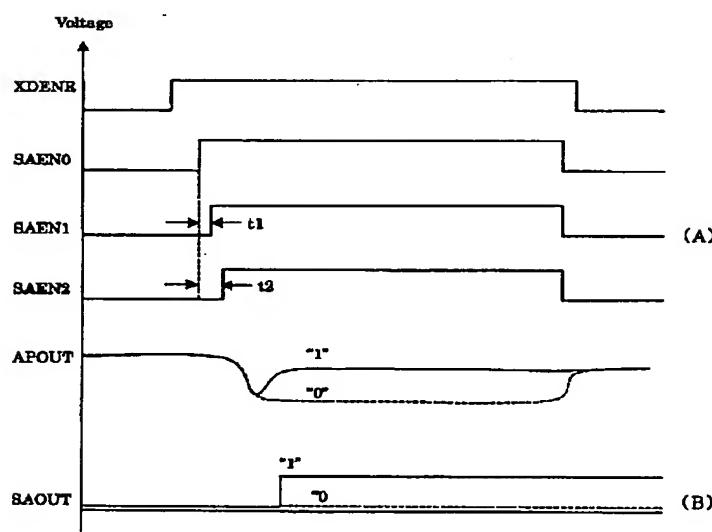
【図34】



【図48】

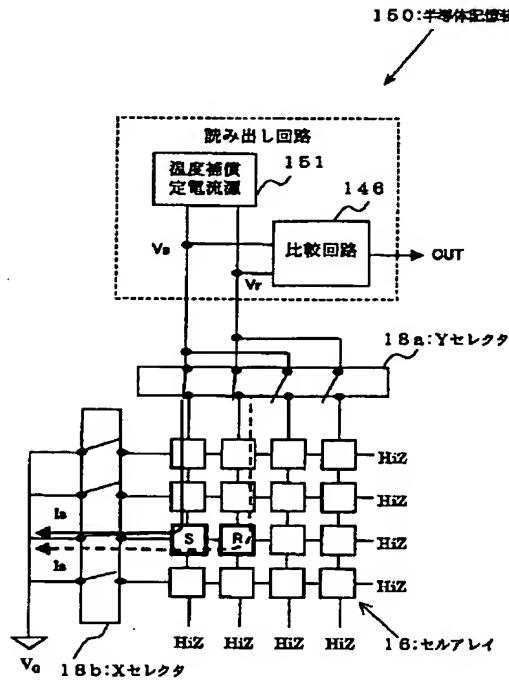


【図49】

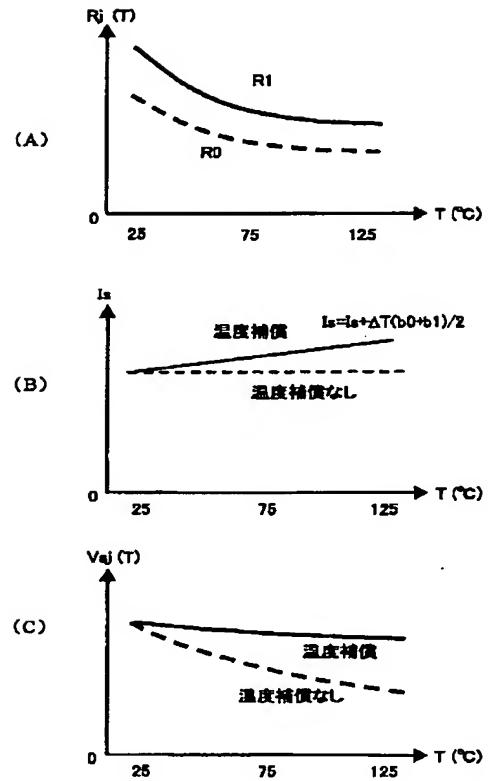


(C)

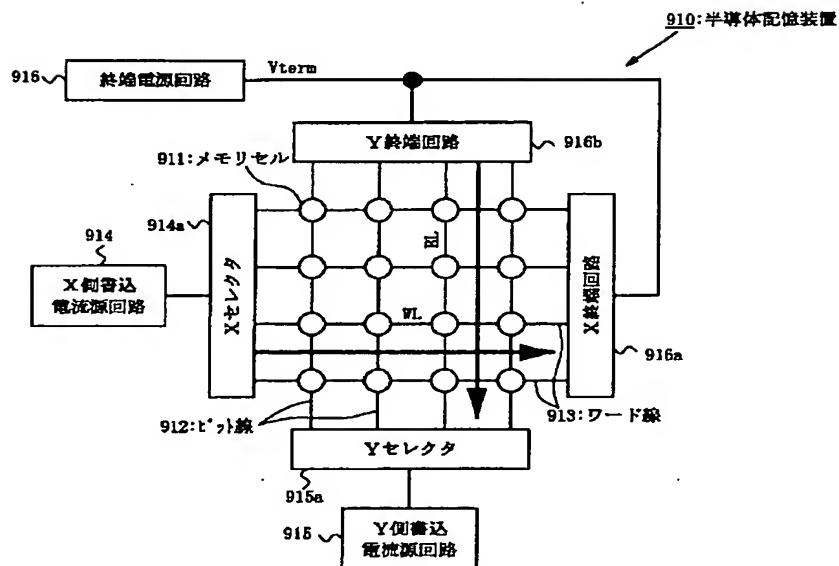
【図50】



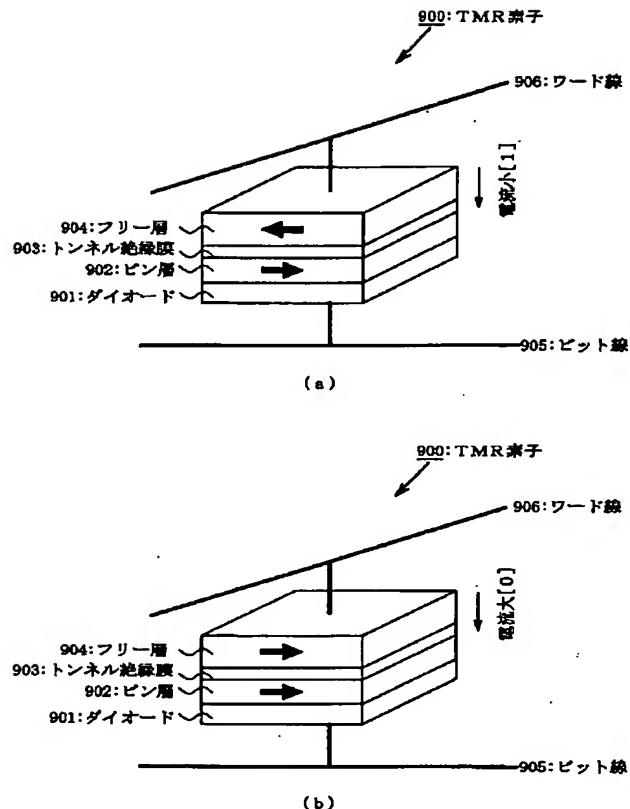
【図51】



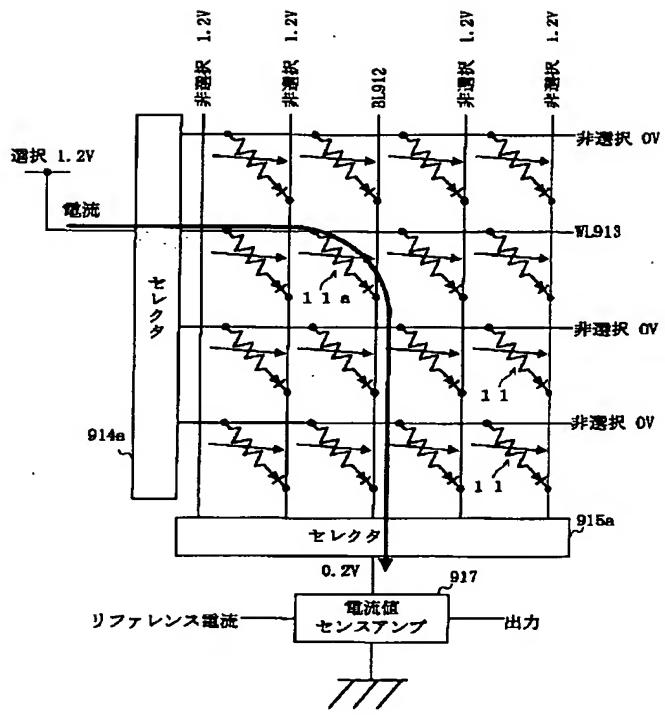
【図53】



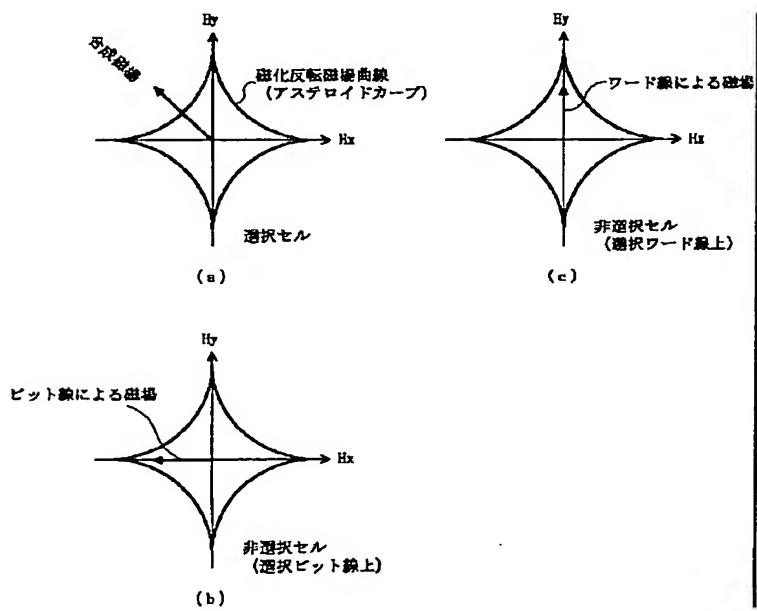
【図52】



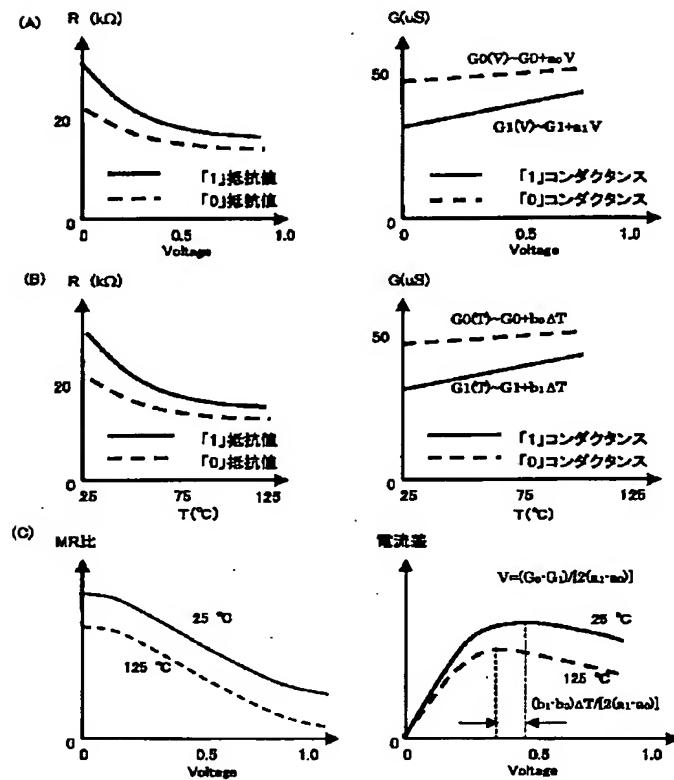
【図55】



【図54】



【図59】



フロントページの続き

(72)発明者 杉林 直彦  
東京都港区芝五丁目7番1号 日本電気株  
式会社内

F ターム(参考) 5F083 FZ10 GA15 KA03 KA06 LA03  
LA04 LA05 LA10 LA12 LA16